



M0-Based MCU

MG32F02A032

数据手册

Version: 1.70

特性

❖ CPU内核

- ARM 32位 Cortex-M0 处理器
- 最高工作频率 48MHz
- 内置一个有32个外部中断输入的4级优先级的NVIC
- 内置一个24位系统滴答定时器
- 内置一个32位单周期乘法器
- 内置一个有2个监视点和4个断点的SWD串行调试器

❖ 闪存

- 内嵌32K字节闪存
- 支持通过SWD接口进行ICP (在电路编程) 更新ISP引导码
- 支持ISP (在系统编程) 更新应用程序
 - 支持用于ISP引导码的可编程ISP存储空间大小
- 支持IAP (在应用编程) 更新应用程序
 - 支持可编程IAP存储空间大小

❖ SRAM

- 内嵌4K字节SRAM

❖ 电源

- 内置2个掉电检测器
 - BOD0 检测 1.7V
 - BOD1 可选检测4.2V/3.7V/2.4V/2.0V
- 内置1个具有掉电和唤醒控制功能的电源管理控制器
- 支持三种电源工作模式
 - ON (正常) 模式、SLEEP模式、STOP掉电模式
- 支持通过多种来源从SLEEP/STOP模式唤醒

❖ 复位

- 内嵌POR (上电复位) 电路
- 内置1个复位源控制器
 - 可设置芯片冷复位和热复位的复位源
 - 为内部模块提供独立软件复位控制
- 提供多种复位源
 - POR/BOD0/BOD1/外部复位引脚输入/软件强制复位
 - IWDT/WWDT/ADC/模拟比较器
 - 非法地址错误复位/闪存访问保护错误复位
 - 丢失时钟检测 (MCD) 复位

❖ 时钟

- 内嵌32KHz 的ILRCO (内部低频RC振荡器)
- 内嵌IHRCO (内部高频RC振荡器)
 - 校准至11.059 或12MHz $\pm 1\%$ @25°C
- 内建的嵌入式PLL 时钟可输出为系统时钟
- 内嵌用于外部32KHz和4到25MHz 晶振的带有MCD的XOSC振荡器
- 支持最高36MHz的外部时钟输入
- 内置1个带有模块独立时钟使能控制的时钟源控制器
- 支持内部XOSC振荡器和内部ILRCO/IHRCO时钟输出

❖ DMA (直接存储器访问)

- 一个可配置的硬件DMA通道
 - 内存、APB和AHB外设可作为源或目标进行访问
 - 支持SRAM/FLASH作为内存源，支持SRAM作为内存目的地
 - 外设包括ADC0, I2Cx, URTx, SPIx, TM36和GPL模块

- DMA 传输管理类型
 - 内存到内存
 - 外设到内存
 - 内存到外设
 - 外设到外设
- 可设置传输数据数量最多65535字节
- 可设置单次传输数据宽度为1,2,4字节
- 支持传输循环模式和起始地址自动重载控制
- 为引脚触发请求提供 single/block/demand 模式

❖ GPIO

- 支持通用IO引脚
 - LQFP48封装最多44个GPIO引脚
 - QFN32封装最多29个GPIO引脚
 - TSSOP20封装最多17个GPIO引脚
- 为单独的引脚提供的可选择的IO模式
 - 推挽输出
 - 准双向
 - 开漏输出
 - 高阻抗数字输入
 - 模拟IO
- 灵活的引脚功能复用选择
- 支持对独立引脚设置驱动强度
- 支持对独立引脚设置滤波
- 支持对独立引脚设置输入反相
- 支持对独立引脚设置拉高
- 支持对除RSTN,XIN外的独立引脚设置高速选项
- 保持复位后的GPIO引脚状态和IO模式设置

❖ 中断支持

- 内置 1 个用于与NVIC连接的EXIC (外部中断控制器)
 - 独立的高电平/低电平和上升沿触发/下降沿触发选择
- 内置1个用于控制唤醒事件的WIC (唤醒中断控制器)
- 所有的PA/PB/PC/PD引脚均可被设置为中断源和按键输入
 - 支持中断功能的引脚“或”逻辑
 - 支持KBI功能的引脚“与”逻辑
- 支持外部引脚用于CPU的NMI/RXEV/TXEV 功能

❖ 定时器

- 提供 5 个定时器/计数器 : TM00,TM01,TM10,TM16,TM36
- 支持多级定时器模块用于不同应用
- 定时器模块一般功能
 - 可选择Full-counter, Cascade, Separate定时器操作模式
 - 多个内部和外部信号作为定时器时钟源或触发源
 - 支持定时器重置、触发启动和时钟门控制用于触发源功能
 - 定时器溢出可作为时钟输出到外部引脚
 - 可由主要计数器计数的自动停止模式
- 提供 TM36 定时器模块
 - 32位定时器/计数器
 - 4 个CCP (输入捕获/输出比较/PWM) 通道
 - 3 个CCP 通道具有OCN (互补输出比较)
 - PWM具有中心/边缘对齐、死区控制和中止控制功能
 - QEI (正交编码器接口)

- 支持使用DMA的1个IC和3个OC
- 外部输入定时器向上/向下控制（仅TM36可用）
- 提供TM1x 定时器模块 (TM10,TM16)
 - 32位定时器/计数器
- 提供 TM0x 定时器模块 (TM00,TM01)
 - 16位定时器/计数器

❖ RTC

- 内置可选择时钟源的32位计数器
- 支持报警功能和时间戳功能
 - 使用32位可设置的比较寄存器以支持报警功能
- 支持从STOP模式唤醒
- 支持定期的嘀嗒中断或唤醒

❖ 看门狗

- 内置 1 个IWDT (独立看门狗)
 - 带12位预分频器的8位向下计数器，ILRCO作为时钟源
 - 可工作在SLEEP或STOP模式
 - 在定时器下溢时可选择复位或中断
 - 支持 2 个有中断功能的早期唤醒比较器
- 内置 1 个WWDT (窗口看门狗)
 - 10位计数器，具有1或256分频器，1/2 / 4 ~ 128分频器
 - 可设置时间窗口检测异常晚或早的应用行为
 - 当计数器下溢或在窗口外重载时可选择复位或中断
 - 支持警报中断

❖ I2C

- 提供1个I2c模块 : I2C0
- I2C模块一般功能
 - 支持主机和从机模式
 - 支持设置时钟速率控制，时钟速率最高1 MHz
 - 支持主机模式的可编程高/低周期控制
 - 支持从机模式拉住时钟
 - 支持广播功能
 - 支持多主机处理能力
 - 支持字节模式和缓冲模式流控制
 - 支持字节模式总线事件码用于固件控制
 - 支持缓冲模式4字节数据缓冲和32位数据寄存器用于高速数据通信
 - 可用DMA发送和接收数据
 - 支持从机地址硬件检测从STOP模式唤醒
 - 支持SMBus超时检测

❖ UART

- 提供2个完全相同的UART模块: URT0,URT1
- UART 模块一般功能
 - 支持UART、同步、SPI主机、智能卡、LIN、多处理器模式
 - 通过设置过采样率提供精确的UART波特率控制
 - 最大支持波特率6 Mbit/s
 - 可设置数据字长7或8位
 - 可选择MSB或LSB顺序
 - 可设置停止位0.5,1,1.5或2停止位
 - 硬件奇偶校验与校验生成
 - 可设置4~32过采样率
 - 可对换TX/RX引脚配置

MG32F02A032

- 独立信号极性控制用于发送和接收
- 支持超时定时器对 Idle/RX/Break/Calibration 进行超时检测
- 支持使用4字节数据缓冲和32位数据寄存器用于高速数据通信
- 可用DMA发送和接收数据
- 支持自动波特率检测和校准
- 为主机和从机模式通过空闲线，地址位支持多处理器通信
- 支持低速UART-类似IrDA帧格式
- 支持收发器仅通过CTS/RTS信号进行硬件流控制
- 提供驱动使能信号启动双向通信传输
- 支持用于智能卡应用的传输错误的硬件检测与自动重传控制
- 支持用于智能卡应用的接收奇偶错误硬件检测和自动重试控制

❖ SPI

- 为 SPI 通信提供三个模组：SPI0, URT0, URT1
 - 提供1个高阶 SPI 模组： SPI0
 - 提供2个可配置的 SPI 模组： URT0, URT1 (参考UART 特性)
- 支持主机模式和从机模式
 - 支持全双工、半双工或单工通信模式
 - 支持不使用从机选择信号 (NSS) 进行通信
- 支持设置时钟速率控制
 - 支持主机最高24MHz时钟速率，从机最高16MHz时钟速率
- 可选择 4~32 位帧大小
 - 支持使用4字节数据缓冲和32位数据寄存器用于高速数据通信
- 可用DMA发送和接收数据
- 支持多主机处理
- 可选择时钟极性和相位
- 可选择数据顺序是MSB或LSB
- NSS线软件或硬件管理用于主机模式
- 可设置数据传输模式
 - 标准SPI模式 (独立的传输和接收线)
 - 具有双向数据传输的单线SPI模式
 - 具有双向数据传输的双线SPI模式
 - 具有双向数据传输的四线SPI模式
- 数据发送/接收溢出检测

❖ ADC

- 12位800Ksps的SAR ADC
 - 可配置分辨率 : 12/10/8 位
 - 可配置采样时间
- 提供外部12条通道输入和4条内部通道输入
 - 内部额外的通道源: VBUF , VSSA , LDO VR0输出, ADC参考电压
- 支持自动采样和被外置引脚、内部事件、软件位触发
- 输出数据可进行左对齐/右对齐
- 可在采样、转换、序列转换结束时产生中断
- 支持电压窗口检测和输出数据限制
- 内置 3 条独立硬件累加器通道用于ADC输出
- 支持单次扫描/通道扫描/循环扫描
- 可用DMA缓存ADC数据
- 支持等待模式避免ADC过载

❖ 模拟比较器

- 提供2个快速轨对轨比较器
- 可设置64级阈值的内部参考电压

- 为所有的比较器提供总共6个外部通道输入
- 为了最优的电流消耗可设置响应时间
- 可选择比较输出极性
- 支持从SLEEP和STOP模式唤醒
- 支持模拟看门狗为一个复位来源

❖ GPL (通用逻辑)

- 支持数据反相、位序变化、字节顺序变更和奇偶校验
 - 数据位序变更，支持 8 / 16 / 32位
 - 数据字节顺序在小端和大端之间变更，支持 8 / 16 / 32位
 - 奇偶校验，支持 8 / 16 / 32位
- 支持CRC (循环冗余校验) 计算
 - 可设置CRC初始值
 - 输出位顺序改变
- 具有固定公共多项式的CRC
 - CRC8 多项式 0x07
 - CRC16 多项式 0x8005
 - CCITT16 多项式 0x1021
 - CRC32(IEEE 802.3) 多项式 0x4C11DB7
- 可用DMA缓存输入数据

❖ Misc.

- 定时器同步使能全局控制用于TMx 定时器模块
- OBM(输出信号中止和调制)控制
 - 支持两组OBM 输出信号中止和调制控制
- 32 位不复位备份寄存器
- 16字节唯一ID码

❖ 工作环境

- 工作电压范围1.8V~5.5V
- 工作温度范围-40°C ~ 105°C (**1)
- 工作频率最高48MHz

❖ 封装类型

- LQFP48 / QFN32 / TSSOP20

(**1): 抽样检测.

目录

特性	3
目录	8
图表	12
表单	13
1. 概述	14
2. 采购信息	15
3. 方框图	17
3.1. 系统功能框图	17
3.2. 芯片主框架	18
4. 引脚结构	19
4.1. 引脚指南	19
4.1.1. LQFP48 封装引脚	19
4.1.2. QFN32 封装引脚	21
4.1.3. TSSOP20 封装引脚	23
4.2. 引脚定义	24
4.3. 引脚功能复用选择表	30
4.4. 模拟功能引脚表	31
4.5. 功能复用引脚对应表	32
5. 内存映射	35
5.1. 存储器组织	35
5.2. CPU 内存映射	35
5.3. 外围存储器边界	36
5.4. 启动模式	38
6. 功能描述	39
6.1. CPU 内核	39
6.1.1. 简介	39
6.1.2. CPU 特性	39
6.1.3. ARM Cortex-M0 处理器	39
6.2. 电源管理	40
6.2.1. 简介	40
6.2.2. 芯片电源特性	40
6.2.3. 电源运行模式	40
6.2.4. 供电	40
6.2.5. CPU 掉电	41
6.3. 系统复位	41
6.3.1. 简介	41
6.3.2. 芯片复位特性	41
6.3.3. 芯片复位等级	41
6.3.4. 外部复位	41
6.3.5. 模块复位	42
6.4. 系统时钟	42
6.4.1. 简介	42
6.4.2. 芯片时钟特性	42
6.4.3. 系统时钟源	42
6.4.4. PLL 时钟	42

6.4.5. 模块工作时钟控制	42
6.5. 系统一般控制.....	42
6.5.1. 简介	42
6.5.2. 特性.....	42
6.6. 存储器访问	43
6.6.1. 简介	43
6.6.2. 特性.....	43
6.6.3. 内存控制器	43
6.6.4. 用于 Flash 的 ICP/ISP/IAP	43
6.6.5. 硬件选项字节	43
6.7. GPIO	43
6.7.1. 简介	43
6.7.2. 特性.....	44
6.7.3. GPIO 控制块	44
6.8. 中断	44
6.8.1. 简介	44
6.8.2. 中断特性.....	45
6.8.3. 中断结构.....	45
6.8.4. 嵌套中断向量控制器.....	46
6.8.5. 唤醒中断控制器.....	46
6.8.6. 外部中断控制器	46
6.9. 通用逻辑.....	47
6.9.1. 简介	47
6.9.2. 特性.....	47
6.10. APB 一般控制	47
6.10.1. 简介	47
6.10.2. 特性.....	47
6.11. 直接存储器访问	47
6.11.1. 特性.....	47
6.11.2. DMA 控制块	48
6.12. ADC.....	48
6.12.1. 简介	48
6.12.2. 特性.....	48
6.12.3. ADC 控制块	48
6.13. 模拟比较器	49
6.13.1. 简介	49
6.13.2. 特性.....	49
6.13.3. CMP 控制块	49
6.14. IWDT	50
6.14.1. 简介	50
6.14.2. 特性.....	50
6.14.3. IWDT 控制	50
6.15. WWDT.....	50
6.15.1. 简介	50
6.15.2. 特性.....	50
6.15.3. WWDT 控制	50
6.16. RTC	51

MG32F02A032

6.16.1. 简介	51
6.16.2. 特性	51
6.16.3. RTC 控制	51
6.17. 定时器	51
6.17.1. 简介	51
6.17.2. 特性	51
6.17.3. 定时器模块功能表	52
6.17.4. 定时器控制块	53
6.18. I2C	53
6.18.1. 简介	53
6.18.2. 特性	53
6.18.3. I2C 控制	54
6.19. UART	54
6.19.1. 简介	54
6.19.2. 特性	54
6.19.3. UART 控制	55
6.20. SPI	55
6.20.1. 简介	55
6.20.2. 特性	55
6.20.3. SPI 控制	56
7. 应用注意事项	57
7.1. 电源电路	57
7.2. 复位电路	57
7.3. Xtal 晶振电路	58
7.4. ADC 应用电路	59
8. 电气特性	60
8.1. 参数汇总表	60
8.2. 最大绝对额定值	60
8.3. 直流特性	60
8.4. 外部时钟特性	63
8.5. PLL 特性	63
8.6. IHRCO 特性	63
8.7. ILRCO 特性	64
8.8. LDO 特性	64
8.9. Flash 特性	64
8.10. ADC 特性	65
8.11. ADC PGA 特性	65
8.12. 模拟比较器特性	66
8.13. UART 特性	67
8.14. SPI 特性	68
8.15. I2C 特性	70
9. 封装尺寸	71
9.1. LQFP-48	71
9.2. QFN-32	72
9.3. TSSOP-20	73
10. 版本历史	74
11. 免责声明	76

图表

图 2-1. 采购信息	15
图 3-1. 系统功能框图	17
图 3-2. 芯片主框架	18
图 4-1. LQFP48 封装引脚	19
图 4-2.QFN32 封装引脚	21
图 4-3. TSSOP20 封装引脚	23
图 5-1. CPU 内存映射	35
图 6-1. ARM Cortex-M0 处理器	39
图 7-1. 电源电路	57
图 7-2. 复位电路	57
图 7-3. XTAL 晶振电路	58
图 7-4. ADC 应用电路	59
图 8-1. UART 时序波形	67
图 8-2. SPI 主机模式时序波形	69
图 8-3. SPI 从机模式时序波形	69
图 8-4. I2C 时序波形	70
图 9-1. LQFP-48 (7mm X 7mm) ~ AD32	71
图 9-2. QFN-32 (5mm X 5mm) ~ AY32	72
图 9-3. TSSOP-20 (6.5 x 4.4 x1.0 mm) ~ AT20	73

表单

表 2-1. 芯片选择表	16
表 4-1. LQFP48 引脚功能复用表	19
表 4-2. QFN32 引脚功能复用表	21
表 4-3. TSSOP20 引脚功能复用表	23
表 4-4. 引脚定义的缩写	24
表 4-5. 引脚描述	24
表 4-6. 引脚功能复用选择表	30
表 4-7. 模拟功能引脚表	31
表 4-8. 功能复用引脚对应表	32
表 5-1. CPU 内存地址映射	36
表 5-2. 外围存储器边界地址	36
表 6-1. 掉电模式选择	41
表 6-2. 中断源表	46
表 6-3. 定时器模块功能表	52
表 7-1. 内部晶体振荡电路等效电容值 C1 & C2 的参考电容	58
表 7-2. 晶体振荡电路 C1 & C2 的参考电容	58
表 8-1. 参数汇总表	60
表 8-2. 最大绝对额定值	60
表 8-3. 直流特性	60
表 8-4. 电流测量条件定义表	62
表 8-5. 外部时钟特性	63
表 8-6. PLL 特性	63
表 8-7. IHRCO 特性	63
表 8-8. ILRCO 特性	64
表 8-9. LDO 特性	64
表 8-10. Flash 特性	64
表 8-11. ADC 特性	65
表 8-12. ADC PGA 特性	65
表 8-13. 模拟比较器特性	66
表 8-14. UART 特性	67
表 8-15. SPI 特性	68
表 8-16. I2C 特性	70

1. 概述

MG32F02A 是基于带有嵌套中断向量控制器 (NVIC) 的高效 ARM 32 位 Cortex™-M0 CPU 的 32 位单片机。

MG32F02A 有最多 **32K** 字节的内置 Flash 存储器用于存储代码和数据、设置用于保存启动码和用于芯片配置的 64 字节闪存。整个 Flash 空间均可通过串行烧写模式 (ICP, 在电路编程), 主存也可在 ISP 模式 (在系统编程)、SRAM (在 SRAM 启动) 模式进行编程。ICP 和 ISP 让用户无需从产品中去下微控制器就可以下载新的代码; IAP 意味着应用程序正在运行时, 微控制器能够在 Flash 中写入非易失数据。这些功能都由内建的电荷泵提供高压, 而不需要外部高压。

MG32F02A 包含了 ARM 32 位 Cortex™-M0 的所有特性, 具有 **4K** 字节的 SRAM, **4** 个 I/O 端口, **32** 个外部中断源的 4 级中断控制器和 7 个 8/16 位定时器/计数器, 此外, **MG32F02A** 还有 1 个系统嘀嗒定时器, 2 个看门狗定时器, 3 个具有 IC/OC 的先进的定时器, 4 个通用定时器、用于 32.768 kHz 至 25MHz 晶振的片上晶体振荡器、2 个高精度内部振荡器, 分别是 11.059/12MHz 的 IHRCO 和 32 kHz 的 ILRCO、1 个的 12 位 ADC, 2 个可编程阈值的模拟比较器。

此外, **MG32F02A** 为产品应用提供多种灵活的通信接口, 它提供了包括 GPIO、I2C、SPI、KBI、UART、智能卡、LIN 和 SWD (片上调试) 的功能复用引脚。它有最多 **44** 个 GPIO 引脚, 并提供可设置的 IO 类型-准双向、推挽输出、开漏输出、可选拉高的只输入(Hi-z), 另外, 它内置 1 个内部去抖电路, 得以消除恶劣信号的噪声。

1 个直接存储器存取(DMA)控制器被用于增强外设和存储器和存储器到存储器之间的数据传输。数据可以通过 DMA 控制器进行收发而不花费任何 CPU 时间。

对于电源管理和复位控制, **MG32F02A** 内置 1 个包括 1 个低电压检测器(LVD)、两个掉电检测器(BOD0/BOD1)、上电复位(POR)、低电压复位(LVR) 的电源监控器。**MG32F02A** 具有多个掉电模式以降低功耗: SLEEP 模式和 STOP 模式。

在 SLEEP 模式下, CPU 会被冻结, 外围设备和中断系统则仍在工作。在 STOP 模式中, RAM 和特殊功能寄存器 SFR 的值被保存, 并且所有其他功能停止工作; 最重要的是, 在 Sleep 模式中, 微控制器可以被多种中断或复位源唤醒 (POR/LVR/BOD0/BOD1)。

2. 采购信息

请联系 Megawin 的销售以获取各种可选选项（内存大小、封装、…）和更多有关该设备的信息。

图 2-1. 采购信息

	MG	32	F	0	2A	xxx	yy	zz
megawin								
Device family								
32 = 32-bit MCU								
Application family								
F = Mainstream								
MCU Series								
0 = ARM Cortex-M0								
Device Series								
2A = General Series								
Program memory size								
032 = 32 Kbyte								
Package type								
AD = LQFP								
AY = QFN								
AT = TSSOP								
Pin count								
48 = 48 pins								
32 = 32 pins								
20 = 20 pins								

MG32F02A032

● 芯片选择

表 2-1. 芯片选择表

芯片名称	MG32F02A032	说明
闪存 ROM	32KB	AP+IAP+ISP 的总存储空间
SRAM	4KB	
最大 CPU 频率	48MHz	
内部时钟源	ILRCO+IHRCO	IHRCO 可选 12MHz(默认) 或 11.059MHz
电压检测器	LVR+BOD0/1	
IO 数量	44/29/17	
定时器	16-bit*2 + 32-bit*3	支持 Full-Counter, Cascade , Separate 模式
IC/OC/PWM	4-CH	OC 支持 (一般 +互补输出)
WDT	IWDT + WWDT	
RTC	yes	
ADC	12-Bit , 12-CH	内嵌 1 个带 PGA 的输入缓冲
模拟比较器	2	内嵌 2 个 R-阶梯参考电压
UART	2	支持 SPI 主机模式,多微控制器,IrDa,LIN,ISO-7816 (智能卡),硬件流控制
SPI	1	支持 1/2/4/8 数据线模式
I2C	1	可选择 Byte/Buffer 模式
ISO-7816-3	2 (*1)	UART 模块里被包含和共享(智能卡)
LIN	2 (*1)	UART 模块里被包含和共享
DMA	1-CH	内存到内存, 内存到外围设备, 外围设备到内存, 外围设备到外围设备
CRC	yes	
封装	LQFP48 QFN32 TSSOP20	
工作电压	1.8~5.5V	-40°C ~ 105°C
ICP	yes	在芯片编程
ISP	yes	在系统编程 ISP 闪存被包含在内存的同一空间中
IAP	yes	在应用编程 IAP 闪存被包含在内存的同一空间中

● 芯片型号列表

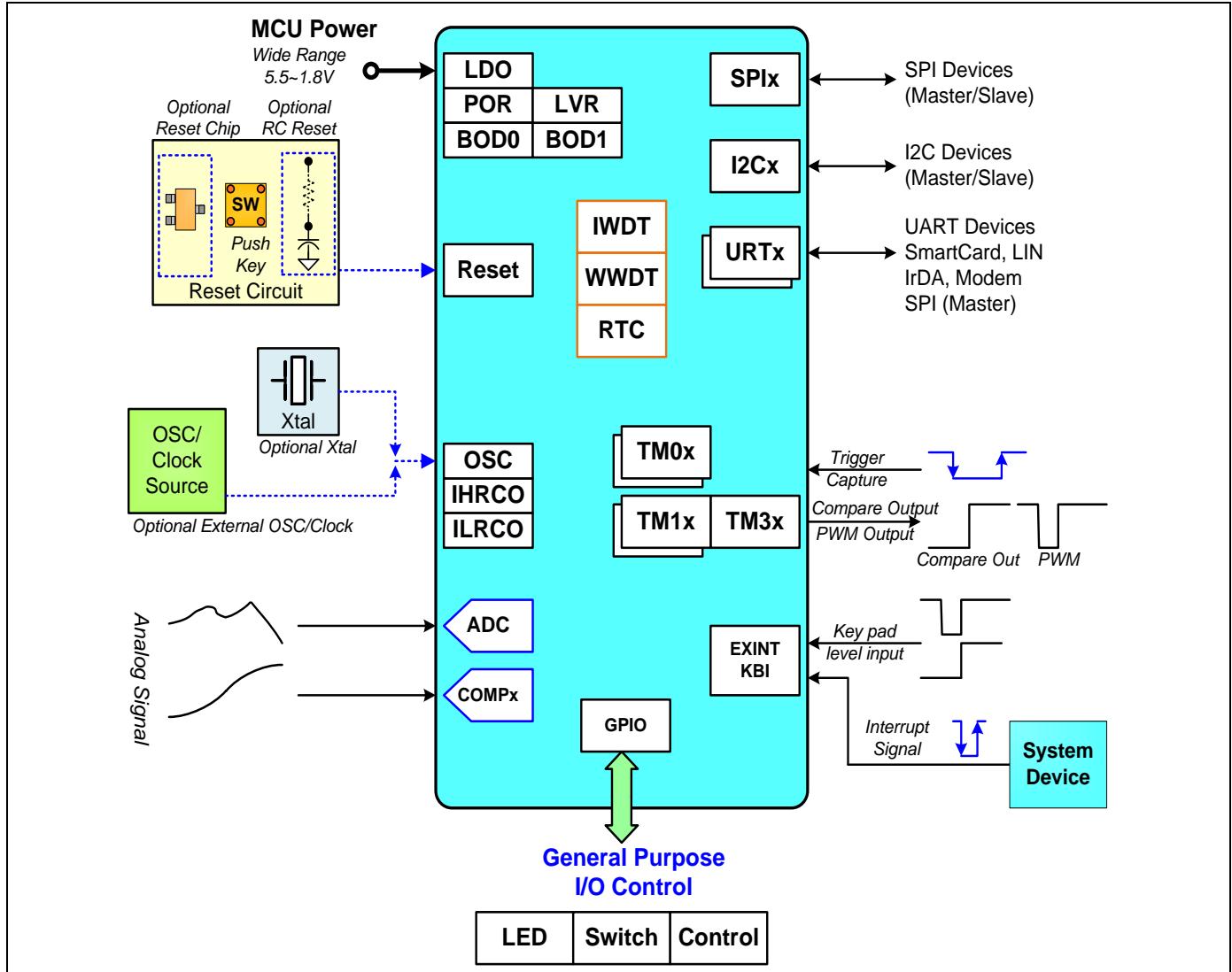
- MG32F02A032AD48 : LQFP48 (7mm x 7mm), 32KB Flash
- MG32F02A032AY32 : QFN32 (5mm x 5mm), 32KB Flash
- MG32F02A032AT20 : TSSOP20 (6.5 x 4.4 x1.0 mm), 32KB Flash

3. 方框图

3.1. 系统功能框图

下面的图表显示了应用程序的系统功能框图。

图 3-1. 系统功能框图

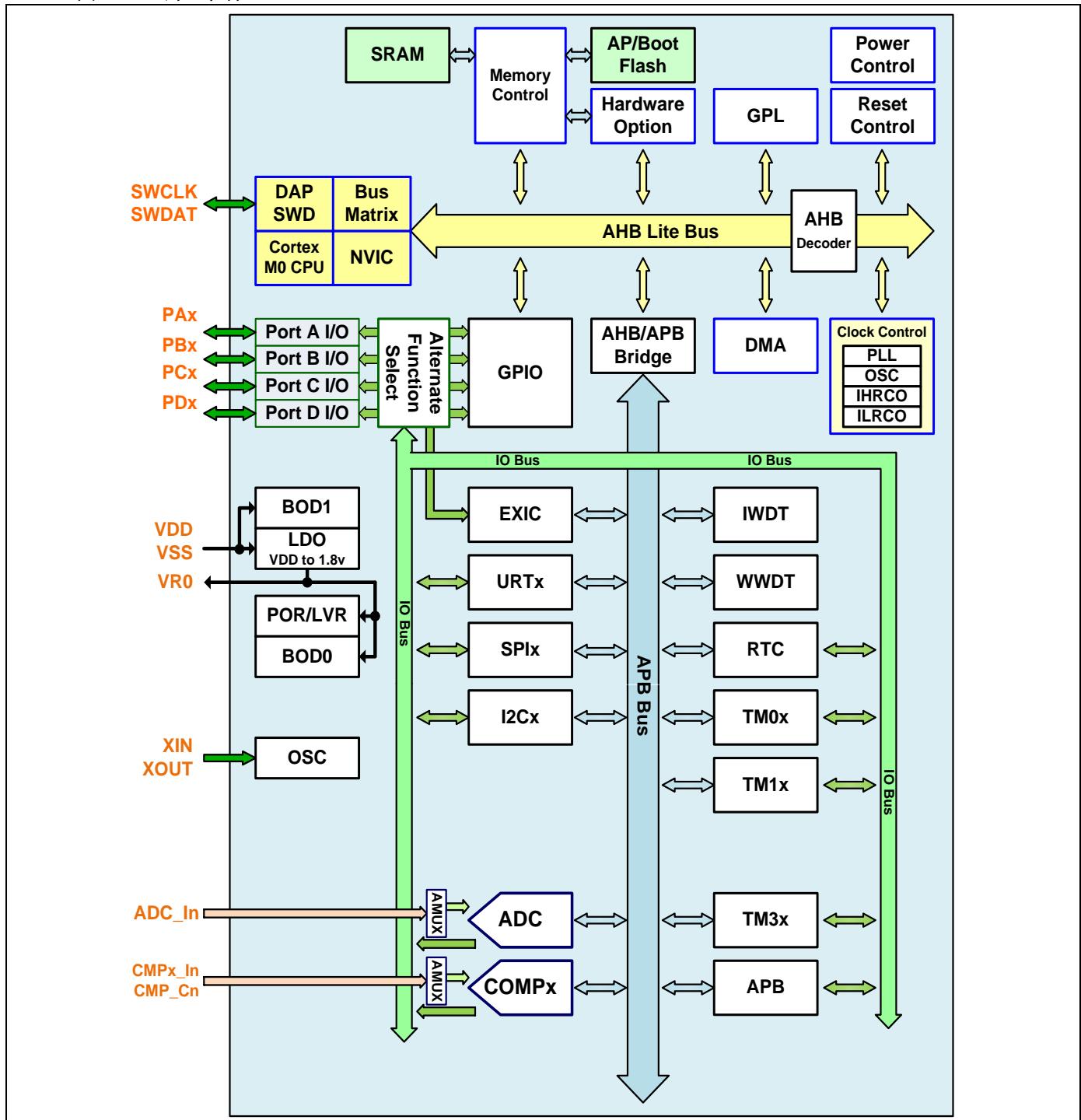


3.2. 芯片主框架

下面的图表显示了芯片内部设备的框架。

这是一个嵌入式 ARM Cortex-M0 处理器，具有 NVIC（嵌套向量中断控制器）和 DAP（调试访问端口）； AHB lite 总线上的 SRAM/Flash 闪存，电源/复位/时钟系统控制器，GPIO 控制块和 GPL（通用逻辑）；用于 APB 总线的 UART/SPI/I2C 通信控制器，定时器包括通用定时器/IWDT/WWDT/RTC 和 ADC/模拟比较器；还有 POR（上电复位），BOD0/BOD1（掉电检测），ILRCO（内部低速 RC 振荡器）/IHRCO（内部高速 RC 振荡器）/PLL。

图 3-2. 芯片主框架

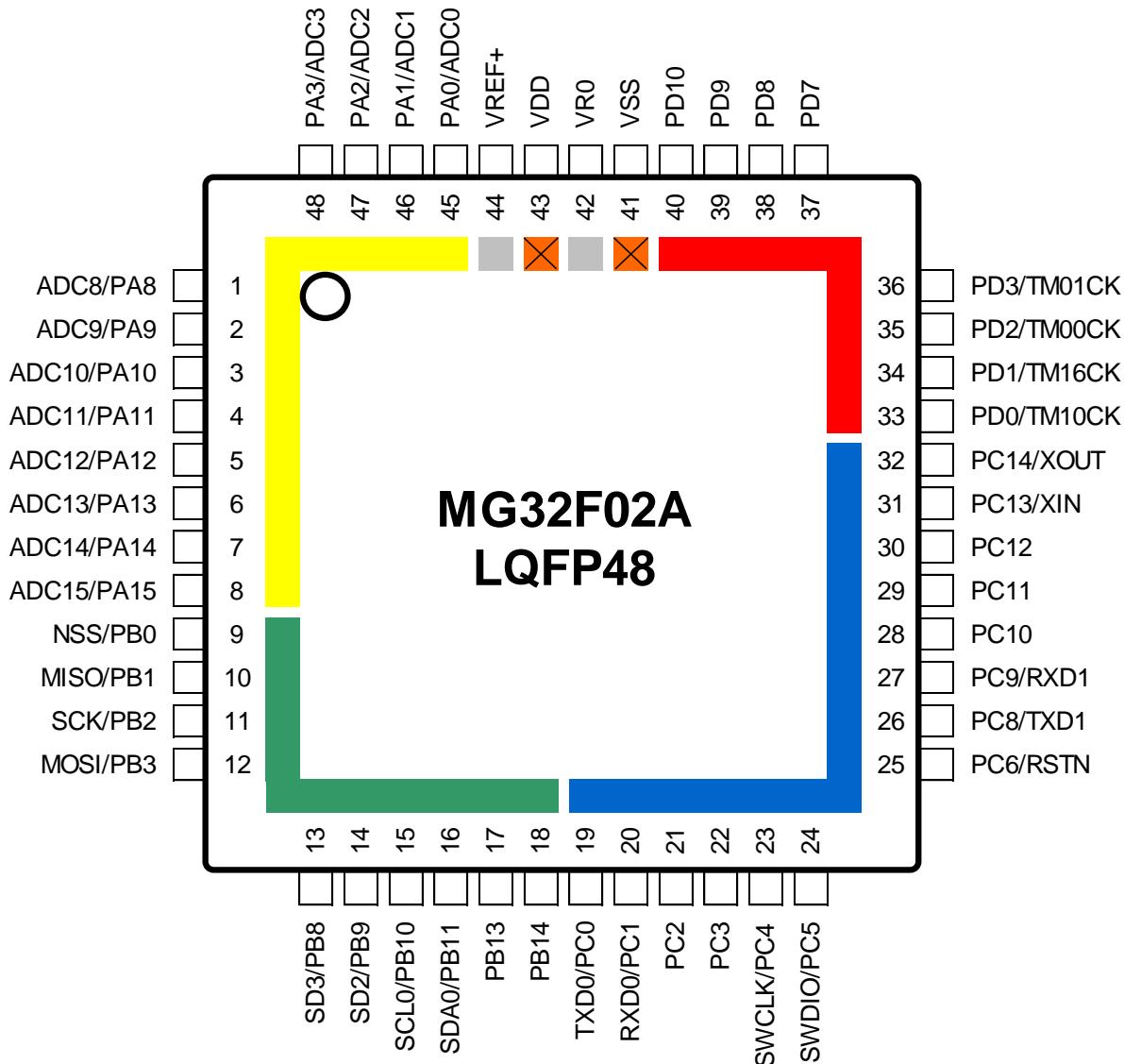


4. 引脚结构

4.1. 引脚指南

4.1.1. LQFP48 封装引脚

图 4-1. LQFP48 封装引脚



2019_0118

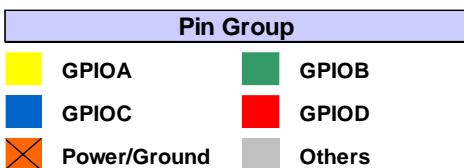


表 4-1. LQFP48 引脚功能复用表

引脚	名称	功能复用信号列表	模拟功能
1	PA8	GPA8	ADC_I8, CMP0_I0, VBG_OUT
2	PA9	GPA9	ADC_I9, CMP0_I1

MG32F02A032

3	PA10	GPA10	ADC_I10, CMP1_IO, ADC_PGA
4	PA11	GPA11	ADC_I11, CMP1_I1
5	PA12	GPA12, URT1_BRO, TM10_ETR, TM36_IC0	ADC_I12
6	PA13	GPA13, CPU_TXEV, URT0_BRO, URT1_TMO, TM10_TRGO, TM36_IC1	ADC_I13
7	PA14	GPA14, CPU_RXEV, OBM_I0, URT0_TMO, URT1_CTS, TM16_ETR, TM36_IC2	ADC_I14
8	PA15	GPA15, CPU_NMI, OBM_I1, URT0_DE, URT1_RTS, TM16_TRGO, TM36_IC3	ADC_I15
9	PB0	GPB0, SPI0 NSS, TM01_ETR, TM00_CKO, TM16_ETR, TM36_ETR	CMP_C0
10	PB1	GPB1, SPI0_MISO, TM01_TRGO, TM10_CKO, TM16_TRGO, TM36_TRGO	CMP_C1
11	PB2	GPB2, ADC0_TRG, SPI0_CLK, TM01_CKO, TM16_CKO, I2C0_SDA, URT0_RX	
12	PB3	GPB3, ADC0_OUT, SPI0_MOSI, TM36_CKO, I2C0_SCL, URT0_RX	
13	PB8	GPB8, CMP0_P0, RTC_OUT, URT0_RX, TM36_OC01, SPI0_D3, OBM_P0	
14	PB9	GPB9, CMP1_P0, RTC_TS, URT0_RX, TM36_OC02, SPI0_D2, OBM_P1	
15	PB10	GPB10, I2C0_SCL, URT0_NSS, TM36_OC11, URT1_RX, SPI0_NSSI	
16	PB11	GPB11, I2C0_SDA, URT0_DE, IR_OUT, TM36_OC12, URT1_RX, DMA_TRGO	
17	PB13	GPB13, TM00_ETR, URT0_CTS, TM36_ETR	
18	PB14	GPB14, DMA_TRGO, TM00_TRGO, URT0_RTS, TM36_BK0	
19	PC0	GPC0, ICKO, TM00_CKO, URT0_CLK, TM36_OC00, I2C0_SCL, URT0_RX	
20	PC1	GPC1, ADC0_TRG, TM01_CKO, TM36_IC0, URT1_CLK, TM36_OC0N, I2C0_SDA, URT0_RX	
21	PC2	GPC2, ADC0_OUT, TM10_CKO, OBM_P0, TM36_OC10	
22	PC3	GPC3, OBM_P1, TM16_CKO, URT0_CLK, URT1_CLK, TM36_OC1N	
23	PC4	GPC4, SWCLK, I2C0_SCL, URT0_RX, URT1_RX, TM36_OC2	
24	PC5	GPC5, SWDIO, I2C0_SDA, URT0_RX, URT1_TX, TM36_OC3	
25	PC6	GPC6, RSTN, RTC_TS, URT0_NSS, URT1_NSS	
26	PC8	GPC8, ADC0_OUT, I2C0_SCL, URT0_BRO, URT1_TX, TM36_OC0H, TM36_OC0N	
27	PC9	GPC9, CMP0_P0, I2C0_SDA, URT0_TMO, URT1_RX, TM36_OC1H, TM36_OC1N	
28	PC10	GPC10, CMP1_P0, URT0_RX, URT1_TX, TM36_OC2H, TM36_OC2N	
29	PC11	GPC11, URT0_RX, URT1_RX, TM36_OC3H	
30	PC12	GPC12, IR_OUT, URT1_DE, TM10_TRGO, TM36_OC3	
31	PC13	GPC13, XIN, URT1_NSS, URT0_CTS, TM10_ETR, TM36_OC00	
32	PC14	GPC14, XOUT, URT1_TMO, URT0_RTS, TM10_CKO, TM36_OC10	
33	PD0	GPD0, OBM_I0, TM10_CKO, URT0_CLK, TM36_OC2, SPI0_NSS	
34	PD1	GPD1, OBM_I1, TM16_CKO, URT0_CLK, TM36_OC2N, SPI0_CLK	
35	PD2	GPD2, TM00_CKO, URT1_CLK, TM36_CKO, SPI0_MOSI	
36	PD3	GPD3, TM01_CKO, URT1_CLK, SPI0_D3, TM36_TRGO	
37	PD7	GPD7, TM00_CKO, TM01_ETR, URT1_DE, SPI0_MISO, TM36_IC0	
38	PD8	GPD8, CPU_TXEV, TM01_TRGO, URT1_RTS, SPI0_D2, TM36_IC1	
39	PD9	GPD9, CPU_RXEV, TM00_TRGO, URT1_CTS, SPI0_NSSI, TM36_IC2	
40	PD10	GPD10, CPU_NMI, TM00_ETR, URT1_BRO, RTC_OUT, TM36_IC3	
41	VSS		
42	VR0		
43	VDD		
44	VREF+		
45	PA0	GPA0	ADC_I0
46	PA1	GPA1	ADC_I1
47	PA2	GPA2	ADC_I2
48	PA3	GPA3	ADC_I3

4.1.2. QFN32 封装引脚

图 4-2.QFN32 封装引脚

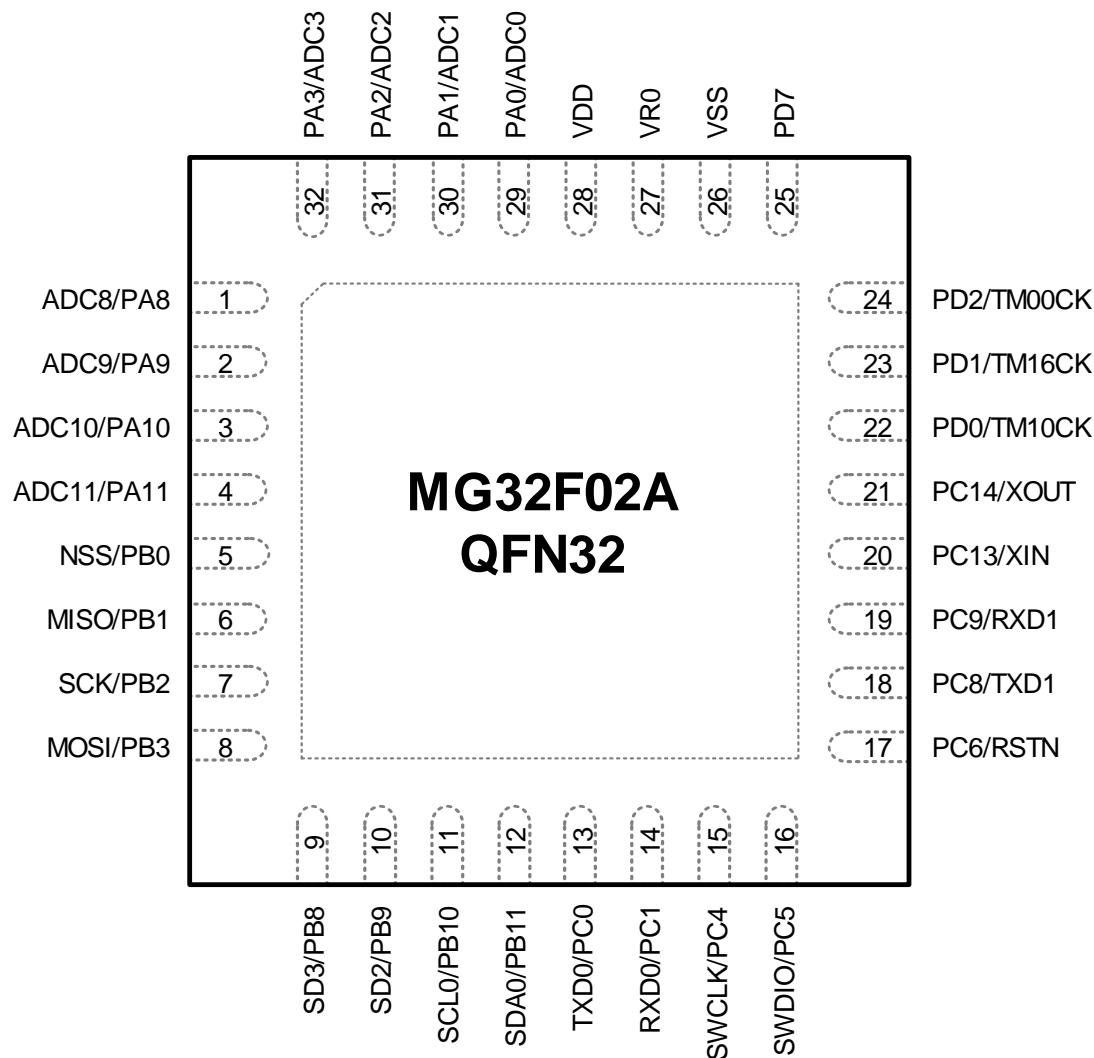


表 4-2. QFN32 引脚功能复用表

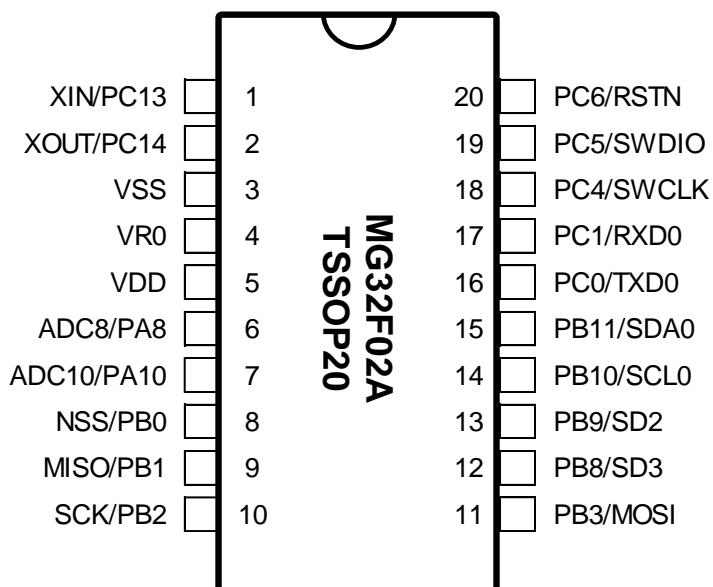
引脚	名称	功能复用信号列表	模拟功能
1	PA8	GPA8	ADC_I8, CMP0_I0, VBG_OUT
2	PA9	GPA9	ADC_I9, CMP0_I1
3	PA10	GPA10	ADC_I10, CMP1_IO, ADC_PGA
4	PA11	GPA11	ADC_I11, CMP1_I1
5	PB0	GPB0, SPI0_NSS, TM01_ETR, TM00_CKO, TM16_ETR, TM36_ETR	CMP_C0
6	PB1	GPB1, SPI0_MISO, TM01_TRGO, TM10_CKO, TM16_TRGO, TM36_TRGO	CMP_C1
7	PB2	GPB2, ADC0_TRG, SPI0_CLK, TM01_CKO, TM16_CKO, I2C0_SDA, URT0_RX	
8	PB3	GPB3, ADC0_OUT, SPI0_MOSI, TM36_CKO, I2C0_SCL, URT0_RX	
9	PB8	GPB8, CMP0_P0, RTC_OUT, URT0_TX, TM36_OC01, SPI0_D3, OBM_P0	
10	PB9	GPB9, CMP1_P0, RTC_TS, URT0_RX, TM36_OC02, SPI0_D2, OBM_P1	
11	PB10	GPB10, I2C0_SCL, URT0_NSS, TM36_OC11, URT1_TX, SPI0_NSSI	
12	PB11	GPB11, I2C0_SDA, URT0_DE, IR_OUT, TM36_OC12, URT1_RX, DMA_TRGO	
13	PC0	GPC0, ICK0, TM00_CKO, URT0_CLK, TM36_OC00, I2C0_SCL, URT0_TX	
14	PC1	GPC1, ADC0_TRG, TM01_CKO, TM36_IC0, URT1_CLK, TM36_OC0N, I2C0_SDA, URT0_RX	
15	PC4	GPC4, SWCLK, I2C0_SCL, URT0_RX, URT1_RX, TM36_OC2	
16	PC5	GPC5, SWDIO, I2C0_SDA, URT0_TX, URT1_TX, TM36_OC3	
17	PC6	GPC6, RSTN, RTC_TS, URT0_NSS, URT1_NSS	
18	PC8	GPC8, ADC0_OUT, I2C0_SCL, URT0_BRO, URT1_TX, TM36_OC0H, TM36_OC0N	
19	PC9	GPC9, CMP0_P0, I2C0_SDA, URT0_TMO, URT1_RX, TM36_OC1H, TM36_OC1N	

MG32F02A032

20	PC13	GPC13, XIN, URT1_NSS, URT0_CTS, TM10_ETR, TM36_OC00	
21	PC14	GPC14, XOUT, URT1_TMO, URT0_RTS, TM10_CKO, TM36_OC10	
22	PD0	GPD0, OBM_I0, TM10_CKO, URT0_CLK, TM36_OC2, SPI0_NSS	
23	PD1	GPD1, OBM_I1, TM16_CKO, URT0_CLK, TM36_OC2N, SPI0_CLK	
24	PD2	GPD2, TM00_CKO, URT1_CLK, TM36_CKO, SPI0_MOSI	
25	PD7	GPD7, TM00_CKO, TM01_ETR, URT1_DE, SPI0_MISO, TM36_IC0	
26	VSS		
27	VR0		
28	VDD		
29	PA0	GPA0	ADC_I0
30	PA1	GPA1	ADC_I1
31	PA2	GPA2	ADC_I2
32	PA3	GPA3	ADC_I3

4.1.3. TSSOP20 封装引脚

图 4-3. TSSOP20 封装引脚



2019_0118

表 4-3. TSSOP20 引脚功能复用表

引脚	名称	功能复用信号列表	模拟功能
1	PC13	GPC13, XIN, URT1_NSS, URT0_CTS, TM10_ETR, TM36_OC00	
2	PC14	GPC14, XOUT, URT1_TMO, URT0_RTS, TM10_CKO, TM36_OC10	
3	VSS		
4	VR0		
5	VDD		
6	PA8	GPA8	ADC_I8, CMP0_I0, VBG_OUT
7	PA10	GPA10	ADC_I10, CMP1_I0, ADC_PGA
8	PB0	GPB0, SPI0_NSS, TM01_ETR, TM00_CKO, TM16_ETR, TM36_ETR	CMP_C0
9	PB1	GPB1, SPI0_MISO, TM01_TRGO, TM10_CKO, TM16_TRGO, TM36_TRGO	CMP_C1
10	PB2	GPB2, ADC0_TRG, SPI0_CLK, TM01_CKO, TM16_CKO, I2C0_SDA, URT0_RX	
11	PB3	GPB3, ADC0_OUT, SPI0_MOSI, TM36_CKO, I2C0_SCL, URT0_RX	
12	PB8	GPB8, CMP0_P0, RTC_OUT, URT0_TX, TM36_OC01, SPI0_D3, OBM_P0	
13	PB9	GPB9, CMP1_P0, RTC_TS, URT0_RX, TM36_OC02, SPI0_D2, OBM_P1	
14	PB10	GPB10, I2C0_SCL, URT0_NSS, TM36_OC11, URT1_TX, SPI0_NSSI	
15	PB11	GPB11, I2C0_SDA, URT0_DE, IR_OUT, TM36_OC12, URT1_RX, DMA_TRGO	
16	PC0	GPC0, ICKO, TM00_CKO, URT0_CLK, TM36_OC00, I2C0_SCL, URT0_TX	
17	PC1	GPC1, ADC0_TRG, TM01_CKO, TM36_IC0, URT1_CLK, TM36_OC0N, I2C0_SDA, URT0_RX	
18	PC4	GPC4, SWCLK, I2C0_SCL, URT0_RX, URT1_RX, TM36_OC2	
19	PC5	GPC5, SWDIO, I2C0_SDA, URT0_TX, URT1_TX, TM36_OC3	
20	PC6	GPC6, RSTN, RTC_TS, URT0_NSS, URT1_NSS	

4.2. 引脚定义

表 4-4. 引脚定义的缩写

IO Type		IO Structure	
P	Power/Ground pin	I	Digital Input
B	Bidirection	P	Output Push-pull capability
I	Input	O	Output Open drain capability
O	Output	Q	Quasi-bidirectional
A	Analog I/O	A	Analog I/O (Digital I/O disable)
AO	Analog output only	U	Internal pull-up
AI	Analog input only	H	High Speed
-		C2	Programmable 2-level driving strength
-		C4	Programmable 4-level driving strength
-		CF	Fixed driving strength(GPIO mode)

表 4-5. 引脚描述

引脚名	引脚数量			IO 类型	默认 值	IO 结构	功能复用	描述
	LQFP48	QFN32	TSSOP20					
PA0	45	29		B	A	A,I,P,O,U,H,C2	GPA0	GPIO/中断/KBI Port-A 功能引脚--0
							ADC_I0	ADC 模拟单端输入通道 0
PA1	46	30		B	A	A,I,P,O,U,H,C2	GPA1	GPIO/中断/KBI Port-A 功能引脚--1
							ADC_I1	ADC 模拟单端输入通道 1
PA2	47	31		B	A	A,I,P,O,U,H,C2	GPA2	GPIO/中断/KBI Port-A 功能引脚--2
							ADC_I2	ADC 模拟单端输入通道 2
PA3	48	32		B	A	A,I,P,O,U,H,C2	GPA3	GPIO/中断/KBI Port-A 功能引脚--3
							ADC_I3	ADC 模拟单端输入通道 3
PA8	1	1	6	B	A	A,I,P,O,U,H,C2	GPA8	GPIO/中断/KBI Port-A 功能引脚--8
							ADC_I8	ADC 模拟单端输入通道 8
							CMP0_I0	比较器-0 模拟输入通道 0
							VBG_OUT	带隙电压输出
PA9	2	2		B	A	A,I,P,O,U,H,C2	GPA9	GPIO/中断/KBI Port-A 功能引脚--9
							ADC_I9	ADC 模拟单端输入通道 9
							CMP0_I1	比较器-0 模拟输入通道 1
PA10	3	3	7	B	A	A,I,P,O,U,H,C2	GPA10	GPIO/中断/KBI Port-A 功能引脚--10
							ADC_I10	ADC 模拟单端输入通道 10
							CMP1_I0	比较器-1 模拟输入通道 0
							ADC_PGA	ADC PGA 电压输出
PA11	4	4		B	A	A,I,P,O,U,H,C2	GPA11	GPIO/中断/KBI Port-A 功能引脚--11
							ADC_I11	ADC 模拟单端输入通道 11
							CMP1_I1	比较器-1 模拟输入通道 1
PA12	5			B	A	A,I,P,O,U,H,C2	GPA12	GPIO/中断/KBI Port-A 功能引脚--12
							URT1_BRO	URT1 波特率定时器上溢输出信号
							TM10_ETR	TM10 外部触发/时钟输入信号

							TM36_IC0	TM36 输入捕获通道-0
							ADC_I12	ADC 模拟单端输入通道 12
PA13	6		B	A	A,I,P,O,U,H,C2		GPA13	GPIO/中断/KBI Port-A 功能引脚--13
							CPU_TXEV	CPU 唤醒事件输出
							URT0_BRO	URT0 波特率定时器上溢输出信号
							URT1_TMO	URT1 超时定时器上溢输出信号
							TM10_TRGO	TM10 触发输出信号
							TM36_IC1	TM36 输入捕获通道-1
							ADC_I13	ADC 模拟单端输入通道 13
PA14	7		B	A	A,I,P,O,U,H,C2		GPA14	GPIO/中断/KBI Port-A 功能引脚--14
							CPU_RXEV	CPU 唤醒事件输入
							OBM_IO	输出信号中止控制输入信号-0
							URT0_TMO	URT0 超时定时器上溢输出信号
							URT1_CTS	URT1 CTS 输入控制信号
							TM16_ETR	TM16 外部触发/时钟输入信号
							TM36_IC2	TM36 输入捕获通道-2
							ADC_I14	ADC 模拟单端输入通道 14
PA15	8		B	A	A,I,P,O,U,H,C2		GPA15	GPIO/中断/KBI Port-A 功能引脚--15
							CPU_NMI	CPU NMI 外部引脚输入
							OBM_I1	输出信号中止控制输入信号-1
							URT0_DE	URT0 外部驱动使能输出信号
							URT1_RTS	URT1 RTS 输出控制信号
							TM16_TRGO	TM16 触发输出信号
							TM36_IC3	TM36 输入捕获通道-3
							ADC_I15	ADC 模拟单端输入通道 15
PB0	9	5	8	B	A	A,I,P,O,U,H,C4	GPB0	GPIO/中断/KBI Port-B 功能引脚--0
							SPI0_NSS	SPI0 从机选择输入/输出信号
							TM01_ETR	TM01 外部触发/时钟输入信号
							TM00_CKO	TM00 定时器上溢输出信号
							TM16_ETR	TM16 外部触发/时钟输入信号
							TM36_ETR	TM36 外部触发/时钟输入信号
							CMP_C0	比较器模拟输入一般通道 0
PB1	10	6	9	B	A	A,I,P,O,U,H,C4	GPB1	GPIO/中断/KBI Port-B 功能引脚--1
							SPI0_MISO	SPI0 主机输入/从机输出信号或 4-I/O 模式的 DATA1 信号
							TM01_TRGO	TM01 触发输出信号
							TM10_CKO	TM10 定时器上溢输出信号
							TM16_TRGO	TM16 触发输出信号
							TM36_TRGO	TM36 触发输出信号
							CMP_C1	比较器模拟输入一般通道 1
PB2	11	7	10	B	A	A,I,P,O,U,H,C4	GPB2	GPIO/中断/KBI Port-B 功能引脚--2
							ADC0_TRG	ADC 触发启动输入
							SPI0_CLK	SPI0 时钟信号
							TM01_CKO	TM01 定时器上溢输出信号
							TM16_CKO	TM16 定时器上溢输出信号
							I2C0_SDA	I2C0 SDA 信号

MG32F02A032

							URT0_TX	URT0 发送 TX 信号, SPI MOSI 信号
PB3	12	8	11	B	A	A,I,P,O,U,H,C4	GPB3	GPIO/中断/KBI Port-B 功能引脚--3
							ADC0_OUT	ADC 阈值窗口比较输出
							SPI0_MOSI	SPI0 主机输出/从机输入信号或 4-I/O 模式的 DATA0 信号
							TM36_CKO	TM36 定时器上溢输出信号
							I2C0_SCL	I2C0 SCL 信号
							URT0_RX	URT0 接收 RX 信号, SPI MISO 信号
PB8	13	9	12	B	A	A,I,P,O,U,H,C4	GPB8	GPIO/中断/KBI Port-B 功能引脚--8
							CMP0_P0	比较器-0 数据输出
							RTC_OUT	RTC 选择输出信号
							URT0_TX	URT0 发送 TX 信号, SPI MOSI 信号
							TM36_OC01	TM36 输出比较/PWM 通道-01
							SPI0_D3	SPI0 的 4-I/O 模式的 DATA3 信号
							OBM_P0	输出信号中止控制输出信号-0
PB9	14	10	13	B	A	A,I,P,O,U,H,C4	GPB9	GPIO/中断/KBI Port-B 功能引脚--9
							CMP1_P0	比较器-1 数据输出
							RTC_TS	RTC 时间戳输入信号
							URT0_RX	URT0 接收 RX 信号, SPI MISO 信号
							TM36_OC02	TM36 输出比较/PWM 通道-02
							SPI0_D2	SPI0 的 4-I/O 模式的 DATA2 信号
							OBM_P1	输出信号中止控制输出信号-1
PB10	15	11	14	B	A	A,I,P,O,U,H,C2	GPB10	GPIO/中断/KBI Port-B 功能引脚--10
							I2C0_SCL	I2C0 SCL 信号
							URT0_NSS	URT0 SPI NSS 输出信号
							TM36_OC11	TM36 输出比较/PWM 通道-11
							URT1_TX	URT1 发送 TX 信号, SPI MOSI 信号
							SPI0_NSSI	SPI0 从机选择仅输入信号
							GPB11	GPIO/中断/KBI Port-B 功能引脚--11
PB11	16	12	15	B	A	A,I,P,O,U,H,C2	I2C0_SDA	I2C0 SDA 信号
							URT0_DE	URT0 外部驱动使能输出信号
							IR_OUT	IR 输出信号
							TM36_OC12	TM36 输出比较/PWM 通道-12
							URT1_RX	URT1 接收 RX 信号, SPI MISO 信号
							DMA_TRGO	DMA 外部触发引脚-0 输入
							GPB13	GPIO/中断/KBI Port-B 功能引脚--13
PB13	17			B	A	A,I,P,O,U,H,C2	TM00_ETR	TM00 外部触发/时钟输入信号
							URT0_CTS	URT0 CTS 输入控制信号
							TM36_ETR	TM36 外部触发/时钟输入信号
							GPB14	GPIO/中断/KBI Port-B 功能引脚--14
							DMA_TRGO	DMA 外部触发引脚-0 输入
							TM00_TRGO	TM00 触发输出信号
							URT0_RTS	URT0 RTS 输出控制信号
PB14	18			B	A	A,I,P,O,U,H,C2	TM36_BK0	TM36 中止控制输入信号
							GPB15	GPIO/中断/KBI Port-C 功能引脚--15
							ICKO	内部时钟源时钟输出
							TM00_CKO	TM00 定时器上溢输出信号
							URT0_CLK	URT0 时钟信号
PC0	19	13	16	B	Q	H	TM36_OC00	TM36 输出比较/PWM 通道-00
							GP0	GPIO/中断/KBI Port-C 功能引脚--0
							TM00_RTS	TM00 RTS 输出控制信号
							URT0_RX	URT0 接收 RX 信号, SPI MISO 信号
							TM36_BK1	TM36 中止控制输入信号

							I2C0_SCL	I2C0 SCL 信号	
							URT0_TX	URT0 发送 TX 信号, SPI MOSI 信号	
PC1	20	14	17	B	Q	H	A,I,P,O,Q,U,H,C 2	GPC1	GPIO/中断/KBI Port-C 功能引脚--1
							ADC0_TRG	ADC 触发启动输入	
							TM01_CKO	TM01 定时器上溢输出信号	
							TM36_IC0	TM36 输入捕获通道-0	
							URT1_CLK	URT1 时钟信号	
							TM36_OC0N	TM36 输出比较/PWM 互补通道-0	
							I2C0_SDA	I2C0 SDA 信号	
							URT0_RX	URT0 接收 RX 信号, SPI MISO 信号	
PC2	21			B	Q	H	A,I,P,O,Q,U,H,C 2	GPC2	GPIO/中断/KBI Port-C 功能引脚--2
							ADC0_OUT	ADC 阈值窗口比较输出	
							TM10_CKO	TM10 定时器上溢输出信号	
							OBM_P0	输出信号中止控制输出信号-0	
							TM36_OC10	TM36 输出比较/PWM 通道-10	
PC3	22			B	Q	H	A,I,P,O,Q,U,H,C 2	GPC3	GPIO/中断/KBI Port-C 功能引脚--3
							OBM_P1	输出信号中止控制输出信号-1	
							TM16_CKO	TM16 定时器上溢输出信号	
							URT0_CLK	URT0 时钟信号	
							URT1_CLK	URT1 时钟信号	
							TM36_OC1N	TM36 输出比较/PWM 互补通道-1	
PC4	23	15	18	B	Q	H	A,I,P,O,Q,U,H,C 2	GPC4	GPIO/中断/KBI Port-C 功能引脚--4
							SWCLK	串行线调试时钟信号	
							I2C0_SCL	I2C0 SCL 信号	
							URT0_RX	URT0 接收 RX 信号, SPI MISO 信号	
							URT1_RX	URT1 接收 RX 信号, SPI MISO 信号	
							TM36_OC2	TM36 输出比较/PWM 通道-2	
PC5	24	16	19	B	Q	H	A,I,P,O,Q,U,H,C 2	GPC5	GPIO/中断/KBI Port-C 功能引脚--5
							SWDIO	串行线调试数据信号	
							I2C0_SDA	I2C0 SDA 信号	
							URT0_TX	URT0 发送 TX 信号, SPI MOSI 信号	
							URT1_TX	URT1 发送 TX 信号, SPI MOSI 信号	
							TM36_OC3	TM36 输出比较/PWM 通道-3	
PC6	25	17	20	B	Q	H	A,I,P,O,Q,U,CF	GPC6	GPIO/中断/KBI Port-C 功能引脚--6
							RSTN	外部硬件复位输入	
							RTC_TS	RTC 时间戳输入信号	
							URT0_NSS	URT0 SPI NSS 输出信号	
							URT1_NSS	URT1 SPI NSS 输出信号	
PC8	26	18		B	Q	H	A,I,P,O,Q,U,H,C 2	GPC8	GPIO/中断/KBI Port-C 功能引脚--8
							ADC0_OUT	ADC 阈值窗口比较输出	
							I2C0_SCL	I2C0 SCL 信号	
							URT0_BRO	URT0 波特率定时器上溢输出信号	
							URT1_TX	URT1 发送 TX 信号, SPI MOSI 信号	
							TM36_OC0H	TM36 输出比较/PWM 高位通道-0	
							TM36_OC0N	TM36 输出比较/PWM 互补通道-0	
PC9	27	19		B	Q	H	A,I,P,O,Q,U,H,C 2	GPC9	GPIO/中断/KBI Port-C 功能引脚--9
							CMP0_P0	比较器-0 数据输出	

MG32F02A032

							I2C0_SDA	I2C0 SDA 信号	
							URT0_TMO	URT0 超时定时器上溢输出信号	
							URT1_RX	URT1 接收 RX 信号, SPI MISO 信号	
							TM36_OC1H	TM36 输出比较/PWM 高位通道-1	
							TM36_OC1N	TM36 输出比较/PWM 互补通道-1	
PC10	28		B	Q	H	A,I,P,O,Q,U,H,C 2	GPC10	GPIO/中断/KBI Port-C 功能引脚--10	
							CMP1_P0	比较器-1 数据输出	
							URT0_TX	URT0 发送 TX 信号, SPI MOSI 信号	
							URT1_TX	URT1 发送 TX 信号, SPI MOSI 信号	
							TM36_OC2H	TM36 输出比较/PWM 高位通道-2	
							TM36_OC2N	TM36 输出比较/PWM 互补通道-2	
PC11	29		B	Q	H	A,I,P,O,Q,U,H,C 2	GPC11	GPIO/中断/KBI Port-C 功能引脚--11	
							URT0_RX	URT0 接收 RX 信号, SPI MISO 信号	
							URT1_RX	URT1 接收 RX 信号, SPI MISO 信号	
							TM36_OC3H	TM36 输出比较/PWM 高位通道-3	
PC12	30		B	Q	H	A,I,P,O,Q,U,H,C 2	GPC12	GPIO/中断/KBI Port-C 功能引脚--12	
							IR_OUT	IR 输出信号	
							URT1_DE	URT1 外部驱动使能输出信号	
							TM10_TRGO	TM10 触发输出信号	
							TM36_OC3	TM36 输出比较/PWM 通道-3	
PC13	31	20	1	B	Q	H	A,I,P,O,Q,U,CF	GPC13	GPIO/中断/KBI Port-C 功能引脚--13
							XIN	外部晶振/OSC 输入	
							URT1_NSS	URT1 SPI NSS 输出信号	
							URT0_CTS	URT0 CTS 输入控制信号	
							TM10_ETR	TM10 外部触发/时钟输入信号	
							TM36_OC00	TM36 输出比较/PWM 通道-00	
PC14	32	21	2	B	Q	H	A,I,P,O,Q,U,H,C F	GPC14	GPIO/中断/KBI Port-C 功能引脚--14
							XOUT	外部晶振输出	
							URT1_TMO	URT1 超时定时器上溢输出信号	
							URT0_RTS	URT0 RTS 输出控制信号	
							TM10_CKO	TM10 定时器上溢输出信号	
							TM36_OC10	TM36 输出比较/PWM 通道-10	
PD0	33	22		B	A		A,I,P,O,U,H,C4	GPD0	GPIO/中断/KBI Port-D 功能引脚--0
							OBM_I0	输出信号中止控制输入信号-0	
							TM10_CKO	TM10 定时器上溢输出信号	
							URT0_CLK	URT0 时钟信号	
							TM36_OC2	TM36 输出比较/PWM 通道-2	
							SPI0_NSS	SPI0 从机选择输入/输出信号	
PD1	34	23		B	A		A,I,P,O,U,H,C4	GPD1	GPIO/中断/KBI Port-D 功能引脚--1
							OBM_I1	输出信号中止控制输入信号-1	
							TM16_CKO	TM16 定时器上溢输出信号	
							URT0_CLK	URT0 时钟信号	
							TM36_OC2N	TM36 输出比较/PWM 互补通道-2	
							SPI0_CLK	SPI0 时钟信号	
PD2	35	24		B	A		A,I,P,O,U,H,C4	GPD2	GPIO/中断/KBI Port-D 功能引脚--2
							TM00_CKO	TM00 定时器上溢输出信号	
							URT1_CLK	URT1 时钟信号	

							TM36_CKO	TM36 定时器上溢输出信号
							SPI0_MOSI	SPI0 主机输出/从机输入信号或 4-I/O 模式的 DATA0 信号
PD3	36		B	A	A,I,P,O,U,H,C4		GPD3	GPIO/中断/KBI Port-D 功能引脚--3
							TM01_CKO	TM01 定时器上溢输出信号
							URT1_CLK	URT1 时钟信号
							SPI0_D3	SPI0 的 4-I/O 模式 DATA3 信号
							TM36_TRGO	TM36 触发输出信号
PD7	37	25	B	A	A,I,P,O,U,H,C4		GPD7	GPIO/中断/KBI Port-D 功能引脚--7
							TM00_CKO	TM00 定时器上溢输出信号
							TM01_ETR	TM01 外部触发/时钟输入信号
							URT1_DE	URT1 外部驱动使能输出信号
							SPI0_MISO	SPI0 主机输入/从机输出信号或 4-I/O 模式的 DATA1 信号
							TM36_IC0	TM36 输入捕获通道-0
PD8	38		B	A	A,I,P,O,U,H,C4		GPD8	GPIO/中断/KBI Port-D 功能引脚--8
							CPU_TXEV	CPU 唤醒事件输出
							TM01_TRGO	TM01 触发输出信号
							URT1_RTS	URT1 RTS 输出控制信号
							SPI0_D2	SPI0 的 4-I/O 模式 DATA2 信号
							TM36_IC1	TM36 输入捕获通道-1
PD9	39		B	A	A,I,P,O,U,H,C2		GPD9	GPIO/中断/KBI Port-D 功能引脚--9
							CPU_RXEV	CPU 唤醒事件输入
							TM00_TRGO	TM00 触发输出信号
							URT1_CTS	URT1 CTS 输入控制信号
							SPI0_NSSI	SPI0 从机选择仅输入信号
							TM36_IC2	TM36 输入捕获通道-2
PD10	40		B	A	A,I,P,O,U,H,C2		GPD10	GPIO/中断/KBI Port-D 功能引脚--10
							CPU_NMI	CPU NMI 外部引脚输入
							TM00_ETR	TM00 外部触发/时钟输入信号
							URT1_BRO	URT1 波特率定时器上溢输出信号
							RTC_OUT	RTC 选择输出信号
							TM36_IC3	TM36 输入捕获通道-3
VSS	41	26	3	P				IO/核心/ADC 接地
VR0	42	27	4	AO	AO			核心供电/LDO 输出 (放置 0.1uF+4.7uF 电容且靠近引脚)
VDD	43	28	5	P				IO 供电/LDO 输入 (放置 0.1uF+4.7uF 电容且靠近引脚)
VREF+	44			AI	AI			ADC 参考电压(放置 0.1uF+4.7uF 电容且靠近引脚)

4.3. 引脚功能复用选择表

下述表格是全部引脚与相关功能复用信号对应表。(AFS=n, n : I/O 引脚功能复用设置值)

表 4-6. 引脚功能复用选择表

引脚名称	AFS=0	AFS=1	AFS=2	AFS=3	AFS=4	AFS=5	AFS=6	AFS=7	AFS=10
PA0	GPA0								
PA1	GPA1								
PA2	GPA2								
PA3	GPA3								
PA8	GPA8								
PA9	GPA9								
PA10	GPA10								
PA11	GPA11								
PA12	GPA12				URT1_BRO	TM10_ETR	TM36_IC0		
PA13	GPA13	CPU_TXEV		URT0_BRO	URT1_TMO	TM10_TRGO	TM36_IC1		
PA14	GPA14	CPU_RXEV	OBM_I0	URT0_TMO	URT1_CTS	TM16_ETR	TM36_IC2		
PA15	GPA15	CPU_NMI	OBM_I1	URT0_DE	URT1_RTS	TM16_TRGO	TM36_IC3		
PB0	GPB0		SPI0_NSS	TM01_ETR	TM00_CKO	TM16_ETR		TM36_ETR	
PB1	GPB1		SPI0_MISO	TM01_TRGO	TM10_CKO	TM16_TRGO		TM36_TRGO	
PB2	GPB2	ADC0_TRG	SPI0_CLK	TM01_CKO		TM16_CKO		I2C0_SDA	URT0_TX
PB3	GPB3	ADC0_OUT	SPI0_MOSI			TM36_CKO		I2C0_SCL	URT0_RX
PB8	GPB8	CMP0_P0	RTC_OUT	URT0_TX			TM36_OC01	SPI0_D3	OBM_P0
PB9	GPB9	CMP1_P0	RTC_TS	URT0_RX			TM36_OC02	SPI0_D2	OBM_P1
PB10	GPB10		I2C0_SCL	URT0_NSS			TM36_OC11	URT1_TX	SPI0_NSSI
PB11	GPB11		I2C0_SDA	URT0_DE	IR_OUT		TM36_OC12	URT1_RX	DMA_TRGO
PB13	GPB13		TM00_ETR	URT0_CTS			TM36_ETR		
PB14	GPB14	DMA_TRGO	TM00_TRGO	URT0_RTS			TM36_BK0		
PC0	GPC0	ICKO	TM00_CKO	URT0_CLK			TM36_OC00	I2C0_SCL	URT0_TX
PC1	GPC1	ADC0_TRG	TM01_CKO	TM36_IC0	URT1_CLK		TM36_OC0N	I2C0_SDA	URT0_RX
PC2	GPC2	ADC0_OUT	TM10_CKO	OBM_P0			TM36_OC10		
PC3	GPC3	OBM_P1	TM16_CKO	URT0_CLK	URT1_CLK		TM36_OC1N		
PC4	GPC4	SWCLK	I2C0_SCL	URT0_RX	URT1_RX		TM36_OC2		
PC5	GPC5	SWDIO	I2C0_SDA	URT0_TX	URT1_TX		TM36_OC3		
PC6	GPC6	RSTN	RTC_TS	URT0_NSS	URT1_NSS				
PC8	GPC8	ADC0_OUT	I2C0_SCL	URT0_BRO	URT1_TX		TM36_OC0H	TM36_OC0N	
PC9	GPC9	CMP0_P0	I2C0_SDA	URT0_TMO	URT1_RX		TM36_OC1H	TM36_OC1N	
PC10	GPC10	CMP1_P0		URT0_TX		URT1_TX	TM36_OC2H	TM36_OC2N	
PC11	GPC11			URT0_RX		URT1_RX	TM36_OC3H		
PC12	GPC12		IR_OUT		URT1_DE	TM10_TRGO	TM36_OC3		
PC13	GPC13	XIN	URT1_NSS	URT0_CTS		TM10_ETR		TM36_OC00	
PC14	GPC14	XOUT	URT1_TMO	URT0_RTS		TM10_CKO		TM36_OC10	
PD0	GPD0	OBM_I0	TM10_CKO	URT0_CLK			TM36_OC2	SPI0_NSS	
PD1	GPD1	OBM_I1	TM16_CKO	URT0_CLK			TM36_OC2N	SPI0_CLK	
PD2	GPD2		TM00_CKO	URT1_CLK			TM36_CKO	SPI0_MOSI	
PD3	GPD3		TM01_CKO	URT1_CLK				SPI0_D3	TM36_TRGO
PD7	GPD7	TM00_CKO	TM01_ETR	URT1_DE		SPI0_MISO			TM36_IC0
PD8	GPD8	CPU_TXEV	TM01_TRGO	URT1_RTS		SPI0_D2			TM36_IC1

PD9	GPD9	CPU_RXEV	TM00_TRGO	URT1_CTS		SPI0_NSSI			TM36_IC2
PD10	GPD10	CPU_NMI	TM00_ETR	URT1_BRO		RTC_OUT			TM36_IC3

4.4. 模拟功能引脚表

下述表格是全部模拟功能的模拟信号引脚表。

表 4-7. 模拟功能引脚表

引脚名称	ADC	CMP	Others
PA0	ADC_I0		
PA1	ADC_I1		
PA2	ADC_I2		
PA3	ADC_I3		
PA8	ADC_I8	CMP0_I0	VBG_OUT
PA9	ADC_I9	CMP0_I1	
PA10	ADC_I10	CMP1_I0	ADC_PGA
PA11	ADC_I11	CMP1_I1	
PA12	ADC_I12		
PA13	ADC_I13		
PA14	ADC_I14		
PA15	ADC_I15		
PB0		CMP_C0	
PB1		CMP_C1	

4.5. 功能复用引脚对应表

下述表格是全部功能复用信号与相关引脚对应表。

表 4-8. 功能复用引脚对应表

No.	功能复用信号列表		功能复用信号与相关引脚对应列表 ([] : 引脚功能复用设置值)				
	类组	功能复用信号名称	引脚-1	引脚-2	引脚-3	引脚-4	引脚-5
1	GPA	GPA0	PA0 [0]				
2		GPA1	PA1 [0]				
3		GPA2	PA2 [0]				
4		GPA3	PA3 [0]				
5		GPA8	PA8 [0]				
6		GPA9	PA9 [0]				
7		GPA10	PA10 [0]				
8		GPA11	PA11 [0]				
9		GPA12	PA12 [0]				
10		GPA13	PA13 [0]				
11		GPA14	PA14 [0]				
12		GPA15	PA15 [0]				
13	GPB	GPB0	PB0 [0]				
14		GPB1	PB1 [0]				
15		GPB2	PB2 [0]				
16		GPB3	PB3 [0]				
17		GPB8	PB8 [0]				
18		GPB9	PB9 [0]				
19		GPB10	PB10 [0]				
20		GPB11	PB11 [0]				
21		GPB13	PB13 [0]				
22		GPB14	PB14 [0]				
23	GPC	GPC0	PC0 [0]				
24		GPC1	PC1 [0]				
25		GPC2	PC2 [0]				
26		GPC3	PC3 [0]				
27		GPC4	PC4 [0]				
28		GPC5	PC5 [0]				
29		GPC6	PC6 [0]				
30		GPC8	PC8 [0]				
31		GPC9	PC9 [0]				
32		GPC10	PC10 [0]				
33		GPC11	PC11 [0]				
34		GPC12	PC12 [0]				
35		GPC13	PC13 [0]				
36		GPC14	PC14 [0]				
37	GPD	GPD0	PD0 [0]				
38		GPD1	PD1 [0]				
39		GPD2	PD2 [0]				
40		GPD3	PD3 [0]				
41		GPD7	PD7 [0]				
42		GPD8	PD8 [0]				

43		GPD9	PD9 [0]				
44		GPD10	PD10 [0]				
45	Reset	RSTN	PC6 [1]				
46	SWD	SWCLK	PC4 [1]				
47		SWDIO	PC5 [1]				
48	Clock	ICKO	PC0 [1]				
49		XIN	PC13 [1]				
50		XOUT	PC14 [1]				
51	ADC0	ADC0_TRG	PB2 [1]	PC1 [1]			
52		ADC0_OUT	PB3 [1]	PC2 [1]	PC8 [1]		
53	CMP	CMP0_P0	PB8 [1]	PC9 [1]			
54		CMP1_P0	PB9 [1]	PC10 [1]			
55	I2C0	I2C0_SCL	PB3 [7]	PB10 [2]	PC0 [7]	PC4 [2]	PC8 [2]
56		I2C0_SDA	PB2 [7]	PB11 [2]	PC1 [7]	PC5 [2]	PC9 [2]
57	URT0	URT0_TX	PB2 [10]	PB8 [3]	PC5 [3]	PC10 [3]	PC0 [10]
58		URT0_RX	PB3 [10]	PB9 [3]	PC4 [3]	PC11 [3]	PC1 [10]
59		URT0_CLK	PC0 [3]	PC3 [3]	PD0 [3]	PD1 [3]	
60		URT0_BRO	PA13 [3]	PC8 [3]			
61		URT0_TMO	PA14 [3]	PC9 [3]			
62		URT0_DE	PA15 [3]	PB11 [3]			
63		URT0_CTS	PB13 [3]	PC13 [3]			
64		URT0_RTS	PB14 [3]	PC14 [3]			
65		URT0_NSS	PB10 [3]	PC6 [3]			
66	URT1	URT1_TX	PB10 [7]	PC5 [4]	PC8 [4]	PC10 [5]	
67		URT1_RX	PB11 [7]	PC4 [4]	PC9 [4]	PC11 [5]	
68		URT1_CLK	PC1 [4]	PC3 [4]	PD2 [3]	PD3 [3]	
69		URT1_BRO	PA12 [4]	PD10 [3]			
70		URT1_TMO	PA13 [4]	PC14 [2]			
71		URT1_DE	PC12 [4]	PD7 [3]			
72		URT1_CTS	PA14 [4]	PD9 [3]			
73		URT1_RTS	PA15 [4]	PD8 [3]			
74		URT1_NSS	PC6 [4]	PC13 [2]			
75	SPI0	SPI0_CLK	PB2 [2]	PD1 [7]			
76		SPI0_MOSI	PB3 [2]	PD2 [7]			
77		SPI0_MISO	PB1 [2]	PD7 [5]			
78		SPI0_NSS	PB0 [2]	PD0 [7]			
79		SPI0_D2	PB9 [7]	PD8 [5]			
80		SPI0_D3	PB8 [7]	PD3 [7]			
81		SPI0_NSSI	PB10 [10]	PD9 [5]			
82	TM00	TM00_CKO	PB0 [4]	PC0 [2]	PD2 [2]	PD7 [1]	
83		TM00_TRGO	PB14 [2]	PD9 [2]			
84		TM00_ETR	PB13 [2]	PD10 [2]			
85	TM01	TM01_CKO	PB2 [3]	PC1 [2]	PD3 [2]		
86		TM01_TRGO	PB1 [3]	PD8 [2]			
87		TM01_ETR	PB0 [3]	PD7 [2]			
88	TM10	TM10_CKO	PB1 [4]	PC2 [2]	PC14 [5]	PD0 [2]	
89		TM10_TRGO	PA13 [5]	PC12 [5]			
90		TM10_ETR	PA12 [5]	PC13 [5]			
91	TM16	TM16_CKO	PB2 [5]	PC3 [2]	PD1 [2]		

MG32F02A032

92		TM16_TRGO	PA15 [5]	PB1 [5]			
93		TM16_ETR	PA14 [5]	PB0 [5]			
94	TM36	TM36_CKO	PB3 [5]	PD2 [6]			
95		TM36_TRGO	PB1 [7]	PD3 [10]			
96		TM36_ETR	PB0 [7]	PB13 [6]			
97		TM36_IC0	PA12 [6]	PD7 [10]	PC1 [3]		
98		TM36_IC1	PA13 [6]	PD8 [10]			
99		TM36_IC2	PA14 [6]	PD9 [10]			
100		TM36_IC3	PA15 [6]	PD10 [10]			
101		TM36_OC00	PC0 [6]	PC13 [7]			
102		TM36_OC01	PB8 [6]				
103		TM36_OC02	PB9 [6]				
104		TM36_OC0N	PC1 [6]	PC8 [7]			
105		TM36_OC10	PC2 [6]	PC14 [7]			
106		TM36_OC11	PB10 [6]				
107		TM36_OC12	PB11 [6]				
108		TM36_OC1N	PC3 [6]	PC9 [7]			
109		TM36_OC2	PC4 [6]	PD0 [6]			
110		TM36_OC2N	PD1 [6]	PC10 [7]			
111		TM36_OC3	PC5 [6]	PC12 [6]			
112		TM36_OC0H	PC8 [6]				
113		TM36_OC1H	PC9 [6]				
114		TM36_OC2H	PC10 [6]				
115		TM36_OC3H	PC11 [6]				
116		TM36_BK0	PB14 [6]				
117	RTC	RTC_OUT	PB8 [2]	PD10 [5]			
118		RTC_TS	PB9 [2]	PC6 [2]			
119	OBM	OBM_I0	PA14 [2]	PD0 [1]			
120		OBM_I1	PA15 [2]	PD1 [1]			
121		OBM_P0	PB8 [10]	PC2 [3]			
122		OBM_P1	PB9 [10]	PC3 [1]			
123	Other	DMA_TRG0	PB11 [10]	PB14 [1]			
124		CPU_TXEV	PA13 [1]	PD8 [1]			
125		CPU_RXEV	PA14 [1]	PD9 [1]			
126		CPU_NMI	PA15 [1]	PD10 [1]			
127		IR_OUT	PB11 [4]	PC12 [2]			

5. 内存映射

5.1. 存储器组织

芯片内建 **4K** 字节 SRAM，有最多 **32K** 字节的内置 Flash 用于存储代码和数据，引导码以及用于芯片配置的 64 字节选项字（**OB**）。另外，还有许多模块独立的硬件控制寄存器，并且位于 AHB/APB 设备的存储空间中。

用户可为整个存储器配置自己的程序代码（AP）、系统编程代码（ISP）和在应用编程（IAP）的存储空间，用户可调整这三个存储空间的大小。

5.2. CPU 内存映射

下图表显示了 CPU 的内存映射，CPU 内存空间被分成 8 块每块 512M 字节内存大小的内存块。这些块会被标记为“XN”，代表着它不能执行代码。

图 5-1. CPU 内存映射

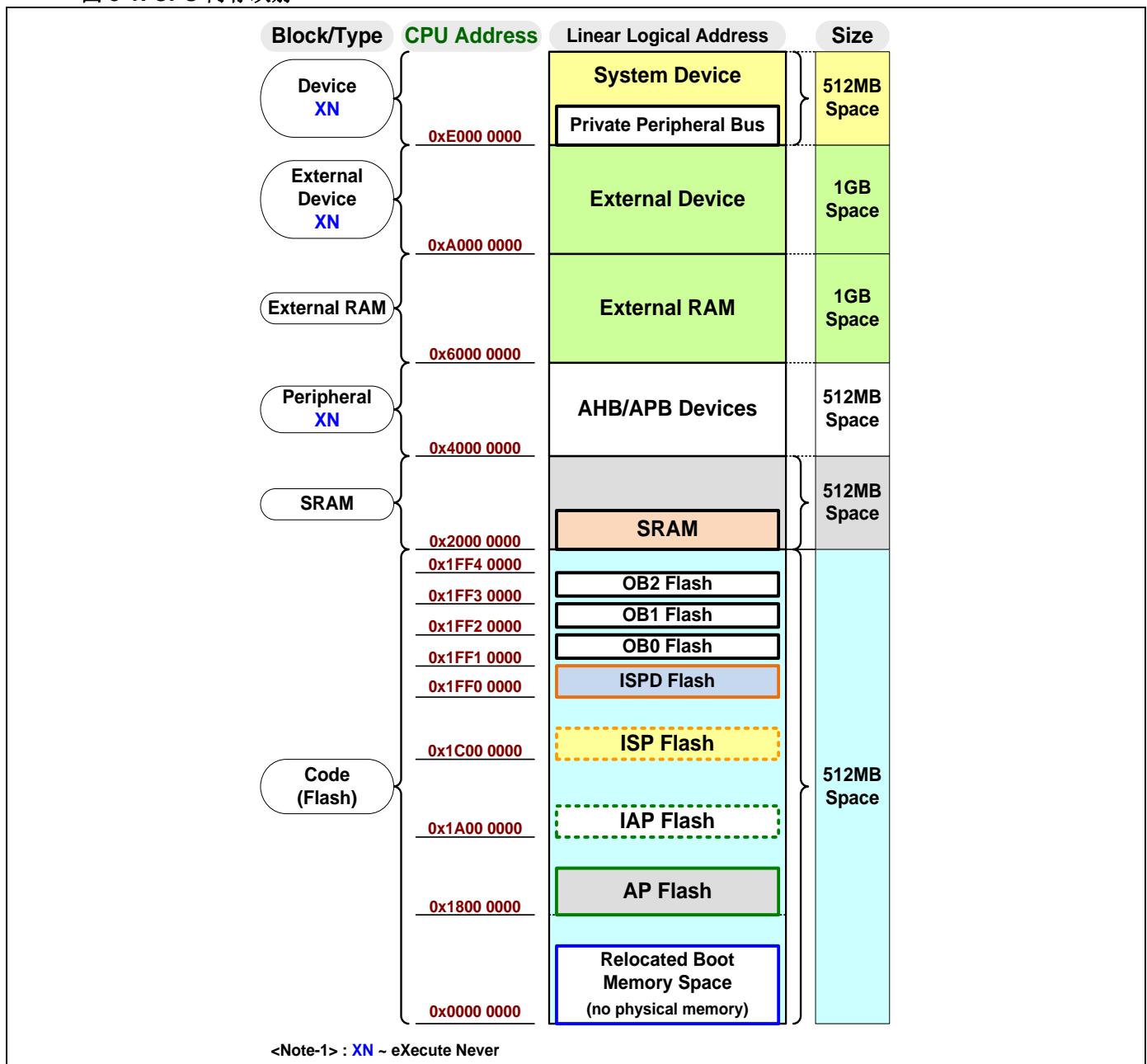


表 5-1. CPU 内存地址映射

块索引	块名称	XN	边界地址		大小	地址空间	注释
			起始地址	结束地址			
7	系统设备	XN	0xE010 0000	0xFFFF FFFF	511MB	VENDOR_SYS	
			0xE000 0000	0xE00F FFFF	1MB	专用外围总线(PPB)	M0 保留的 Cortex M0 内部外围设备
6	外部设备	XN	0xC000 0000	0xDFFF FFFF	512MB	保留	外部存储器 (SRAM, Flash)
5	外部设备	XN	0xA000 0000	0xBFFF FFFF	512MB	保留	外部存储器 (SRAM, Flash)
4	外部 RAM		0x8000 0000	0x9FFF FFFF	512MB	保留	外部存储器 (SRAM, Flash)
3	外部 RAM		0x6000 0000	0x7FFF FFFF	512MB	保留	外部存储器 (SRAM, Flash)
2	外围设备	XN	0x4000 0000	0x5FFF FFFF	512MB	APB/AHB	APB/AHB 模块
1			0x2000 1000	0x3FFF FFFF	512MB	保留	
			0x2000 0000	0x2000 0FFF	4KB	SRAM	
0	代码		0x1FF4 0000	0x1FFF FFFF	768KB	保留	
			0x1FF3 0400	0x1FF3 FFFF	63KB	保留	
			0x1FF3 0040	0x1FF3 03FF	960B	OB Flash-2	
			0x1FF3 0000	0x1FF3 003F	64B		硬件选项字节-2 (64 字节)
			0x1FF2 0400	0x1FF2 FFFF	63KB	保留	
			0x1FF2 0050	0x1FF2 03FF	944B	OB Flash-1	
			0x1FF2 0040	0x1FF2 004F	16B		随机 ID (16-byte)
			0x1FF2 0000	0x1FF2 003F	64B		硬件选项字节-1 (64 字节)
			0x1FF1 0400	0x1FF1 FFFF	63KB	保留	
			0x1FF1 0040	0x1FF1 03FF	960B	OB Flash-0	
			0x1FF1 0000	0x1FF1 003F	64B		硬件选项字节-1 (64 字节)
			0x1FF0 0400	0x1FF0 FFFF	63KB	保留	
			0x1FF0 0000	0x1FF0 03FF	1KB	ISPD Flash	ISP 数据闪存
			0x1C00 8000	0x1FEF FFFF	63MB	保留	
			0x1C00 0000	0x1C00 7FFF	32KB	ISP Flash	引导闪存 (可设置大小)
			0x1A00 8000	0x1BFF FFFF	32MB	保留	
			0x1A00 0000	0x1A00 7FFF	32KB	IAP Flash	数据闪存 (可设置大小)
			0x1800 8000	0x19FF FFFF	32MB	保留	
			0x1800 0000	0x1800 7FFF	32KB	AP Flash	应用闪存 (可通过芯片选项设置大小)
			0x0000 8000	0x17FF FFFF	384MB	保留	
			0x0000 0000	0x0000 7FFF	32KB	重定向内存空间	中断向量 0x0000 00C0~0x0000 0000

XN: 不可执行 , 1 块 = 512MB

重定向内存空间: 主存、引导闪存或 SRAM 取决于引导配置

5.3. 外围存储器边界

表 5-2. 外围存储器边界地址

地址类型	边界地址		大小	节 / 组 外围设备	模块	注释
	起始地址	结束地址				
APB	0x5F00 0100	0xFFFF FFFF	16MB	WDT/RTC	保留	
	0x5F00 0000	0x5F00 00FF	256B		APB	APB 模块全局控制
	0x5E00 0000	0x5EFF FFFF	16MB		保留	
	0x5D04 0100	0x5DFF FFFF	16MB		保留	
	0x5D04 0000	0x5D04 00FF	256B		RTC	实时时钟
	0x5D01 0100	0x5D03 FFFF	192KB		保留	
	0x5D01 0000	0x5D01 00FF	256B		WWDT	窗口看门狗定时器
	0x5D00 0100	0x5D00 FFFF	64KB		保留	
	0x5D00 0000	0x5D00 00FF	256B		IWDT	独立看门狗定时器
	0x5C00 0100	0x5CFF FFFF	16MB		保留	
	0x5C00 0000	0x5C00 00FF	256B		CMP/DAC	
	0x5B00 0100	0x5BFF FFFF	16MB		保留	
	0x5B00 0000	0x5B00 00FF	256B		ADC	模拟转数字控制器
	0x5700 0000	0x5AFF FFFF	64MB		保留	
AHB	0x5686 0100	0x56FF FFFF	8MB	TM2x/3x	保留	
	0x5686 0000	0x5686 00FF	256B		TM36	4 IC/OC/PWM 的 16+16 位定时器
	0x5600 0000	0x5685 FFFF	8MB		保留	
	0x5586 0100	0x55FF FFFF	8MB		TM16	通用 16+16 位定时器/计数器
	0x5586 0000	0x5586 00FF	256B		保留	
	0x5580 0100	0x5585 FFFF	384KB		TM10	通用 16+16 位定时器/计数器
	0x5580 0000	0x5580 00FF	256B		保留	
	0x5501 0100	0x557F FFFF	8MB		TM01	通用 8+8 位定时器/计数器
	0x5501 0000	0x5501 00FF	256B		保留	
	0x5500 0100	0x5500 FFFF	64KB		TM00	通用 8+8 位定时器/计数器
	0x5500 0000	0x5500 00FF	256B		保留	
	0x5400 0000	0x54FF FFFF	16MB		保留	
	0x5300 0100	0x53FF FFFF	16MB	SPI	保留	
	0x5300 0000	0x5300 00FF	256B		SPI0	具有数据缓冲器的 SPI 总线控制器
	0x5201 0100	0x52FF FFFF	16MB		保留	
AHB	0x5201 0000	0x5201 00FF	256B	UART	URT1	先进的 UART 总线控制器
	0x5200 0100	0x5200 FFFF	64KB		保留	
	0x5200 0000	0x5200 00FF	256B		URT0	先进的 UART 总线控制器
	0x5100 0100	0x51FF FFFF	16MB	I2C	保留	
	0x5100 0000	0x5100 00FF	256B		I2C0	I2C 总线控制器
	0x5000 0100	0x50FF FFFF	16MB	EXT 中断	保留	
	0x5000 0000	0x5000 00FF	256B		EXIC	外部中断控制器
	0x4FF0 0100	0x4FFF FFFF	1024KB	芯片	保留	
	0x4FF0 0000	0x4FF0 00FF	256B		CFG	硬件选项(NVR0/1/2)
	0x4F00 0100	0x4FEF FFFF	15MB		保留	
	0x4F00 0000	0x4F00 00FF	256B		WRI	烧写接口控制
AHB	0x4E00 0000	0x4EFF FFFF	16MB	保留	保留	
	0x4D00 0100	0x4DFF FFFF	16MB	内存	保留	
	0x4D00 0000	0x4D00 00FF	256B		MEM	内存控制器
	0x4C03 0100	0x4CFF FFFF	16MB	系统	保留	
	0x4C03 0000	0x4C03 00FF	256B		SYS	系统和芯片控制
	0x4C02 0100	0x4C02 FFFF	64KB		保留	

0x4C02 0000	0x4C02 00FF	256B		PW	电源管理控制器
0x4C01 0100	0x4C01 FFFF	64KB		保留	
0x4C01 0000	0x4C01 00FF	256B		CSC	时钟源控制器
0x4C00 0100	0x4C00 FFFF	64KB		保留	
0x4C00 0000	0x4C00 00FF	256B		RST	复位源控制器
0x4BF0 0100	0x4BFF FFFF	1024KB		保留	
0x4BF0 0000	0x4BF0 00FF	256B	通用	DMA	直接内存访问
0x4B00 0100	0x4BEF FFFF	15MB		保留	
0x4B00 0000	0x4B00 00FF	256B		GPL	通用逻辑
0x4500 0000	0x4AFF FFFF	96MB		保留	为后续设计预留
0x4403 0100	0x44FF FFFF	16MB	IO 配置	保留	
0x4403 0000	0x4403 00FF	256B		PD	
0x4402 0100	0x4402 FFFF	64KB		保留	
0x4402 0000	0x4402 00FF	256B		PC	
0x4401 0100	0x4401 FFFF	64KB		保留	
0x4401 0000	0x4401 00FF	256B		PB	
0x4400 0100	0x4400 FFFF	64KB		保留	
0x4400 0000	0x4400 00FF	256B		PA	
0x4200 0000	0x43FF FFFF	32MB		保留	为后续设计预留
0x4100 0200	0x41FF FFFF	16MB	GPIO	保留	
0x4100 0000	0x4100 01FF	512B		IOP	IO 口输入/输出
0x4000 0000	0x40FF FFFF	16MB		保留	为后续设计预留

5.4. 启动模式

芯片启动时，根据硬件设置字节（**OB**），选择三种启动方式的一种：

- 从用户应用程序（**AP**）闪存引导启动
- 从系统编程（**ISP**）引导启动
- 从内嵌 **SRAM** 引导启动

6. 功能描述

6.1. CPU 内核

6.1.1. 简介

该芯片内嵌了一个 Cortex™-M0 的 CPU 处理器核心。该处理器是一个可配置、多平台、32 位 RISC 处理器。它拥有 1 个 AMBA AHB-Lite 接口和 1 个 NVIC 组件。它还拥有可设置的 DAP 硬件调试功能。

该处理器可处理 Thumb 代码并与其它 Cortex-M 系列的处理器兼容。该型号支持两种模式：Thread 模式和 Handler 模式。Handler 模式会在异常发生时进入，一个异常的返回只能在 Handler 模式发出。Thread 模式在复位时进入，也可以在异常发生时进入。

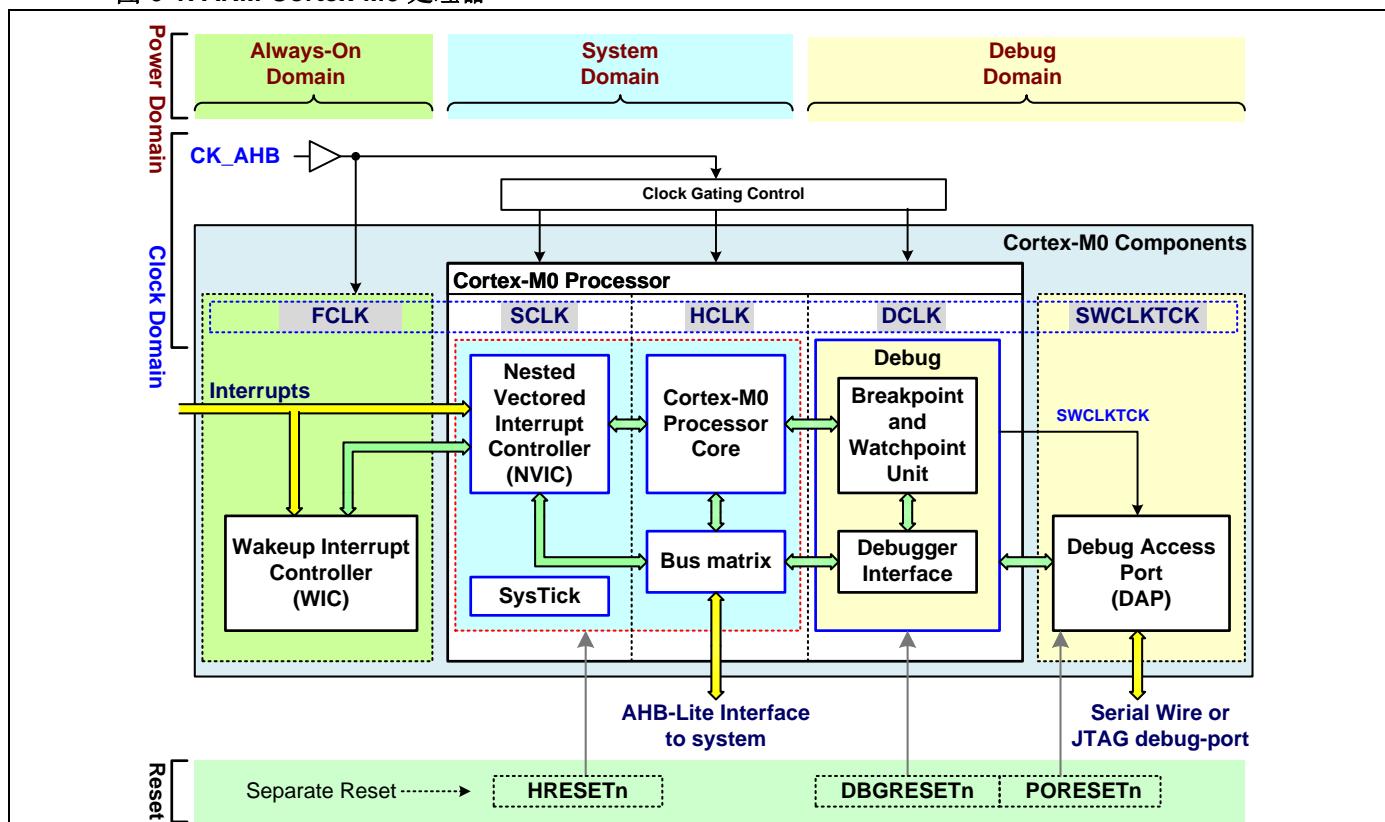
6.1.2. CPU 特性

- ARM 32 位 Cortex-M0 CPU
- 工作频率可达 48MHz
- 内置 1 个有 32 个 4 级优先级的外部中断输入的 NVIC
- 内置 1 个 24 位系统滴答定时器
- 内置 1 个单周期 32 位乘法器
- 内置 1 个有 2 个监视点和 4 个断点的 SWD 串行线调试器
- ARMv6-M Thumb® 指令集

6.1.3. ARM Cortex-M0 处理器

下面的图表显示了 ARM Cortex-M0 处理器框图。

图 6-1. ARM Cortex-M0 处理器



6.2. 电源管理

6.2.1. 简介

芯片的供电只需要通过单电源输入进行供电且内嵌 1 个 LDO 来进行内部核心逻辑的供电，该芯片支持 1 个电源控制器（PW）来管理上电复位电路（POR）、低压复位电路（LVR）、掉电检测器（BOD0/1）、掉电控制和唤醒控制。

它支持两种掉电模式：**SLEEP** 模式和 **STOP** 模式，掉电模式可以降低芯片功耗和提供多种不同的针对芯片应用程序的节电方案。

6.2.2. 芯片电源特性

- 内置 1 个 1.8V 的电源输出调节器为核心逻辑供电
- 内置两个掉电检测器
 - BOD0 检测 1.7V
 - BOD1 可选择检测 4.2V/3.7V/2.4V/2.0V
- 内置 1 个带有掉电和唤醒控制的电源管理控制器
- 支持 3 种电源运行模式
 - On(一般) 模式、**SLEEP**、**STOP** 掉电模式

6.2.3. 电源运行模式

电源控制器一共支持 **ON**, **SLEEP**, **STOP** 三种电源运行模式。

● ON 模式

ON 模式下，CPU 能够以全速运行，所有的外设均可以满功率正常进行工作，同时，这些模块也可以为了降低功耗而独立的进行启用和禁用。

● SLEEP 模式

SLEEP 模式下，只有 CPU 会被冻结并进入 CPU 睡眠模式，所有的外设可以自行设置继续工作或者休眠。

在该模式下，芯片可被关联的中断或者事件发生唤醒。

● STOP 模式

STOP 模式可提供最低的功耗，与 **SLEEP** 模式不同的地方是 CPU 进入深度睡眠模式时，除个别特殊的模块或设备外，其他外设均会被禁用，这些特殊的模块可被设置为在 **STOP** 模式下是否继续工作，这些外设包括：IWDT, RTC, CMP 模块和 LVR, BOD0, BOD1 设备。内部的电压调节器也同样会在低电量模式运行。

在该模式下，芯片可被一些外部输入线路（GPIO）和一些事件检测唤醒。

6.2.4. 供电

芯片的电源只需要通过一个简单的 PCB 设计的 1 个电源输入即可进行供电，它内嵌的 1 个内部低压差线性稳压器（LDO）可产生+1.8V 电压 VDDC 来为核心逻辑进行供电。

VDD 引脚用于 IO 电源输入和内部 LDO 输入，**VSS** 引脚用于连接内部 LDO、硬核和数字逻辑的内部参考地的外部接地。**VR0** 引脚是 LDO 的输出，而且为了保证正常工作，它还需要连接旁路电容。**+VREF** 引脚是 ADC 参考电压的输入，在一般应用中可以连接 **VDD** 引脚。

6.2.5. CPU 掉电

为了让芯片进入掉电模式，固件必须执行 WFI 或者 WFE 指令来让 CPU 强制进入 sleep 模式或者 deep sleep 模式。然后芯片就会进入 **SLEEP** 或者 **STOP** 掉电模式。用户可以通过在固件执行 WFI 或者 WFE 指令后设置 CPU 寄存器的 SLEEPDEEP 寄存器来配置 CPU 的睡眠模式。

表 6-1. 掉电模式选择

CPU	系统	CPU 寄存器
		SLEEPDEEP
Run	ON	x
sleep	SLEEP	0
deep sleep	STOP	1

6.3. 系统复位

6.3.1. 简介

在复位过程中，所有的寄存器都会被设置为它的初始值，程序也会从复位向量开始执行。该芯片包含了 1 个复位源控制器（RST）来管理多种复位源并产生热复位和冷复位到芯片系统和内部模块中，该控制器还为固件提供了复位事件标志，从而能对发生的复位源进行识别。

6.3.2. 芯片复位特性

- 内嵌 1 个 **POR(上电复位)/LVR(低电压复位)** 电路
- 内置 1 个复位源控制器
 - 可为复位源设置芯片冷复位和热复位
 - 内部模块独立的软件复位控制
- 提供多种复位源
 - **POR/LVR/BOD0/BOD1/外部复位引脚输入/软件强制复位**
 - **IWDT/WWDT/ADC/模拟比较器**
 - **IAR(非法地址错误复位)/闪存访问保护错误复位**
 - **丢失时钟检测(MCD)复位**

6.3.3. 芯片复位等级

该芯片提供 3 级复位等级：**POR** 复位、冷复位、热复位。**POR** 复位是最高优先级的复位，并且它是通过芯片硬件被产生的。冷复位是第二优先级的复位源，热复位则是最低优先级的复位源。

当 **POR** 复位发生时，它会导致芯片发生冷复位，而当冷复位发生时，它会导致芯片发生热复位。

● 上电复位

上电复位 (**POR**) 用于上电时内部复位芯片和 CPU。在 VDD 供电高于 **POR** 电压之前，该芯片都会保持复位状态而不开始工作。而且，一旦 VDD 供电低于 **POR** 阈值电压，该复位状态便会再次启动。在整个掉电周期内，为了保证上电复位，在重新开始供电之前，VDD 必须低于 **POR** 阈值电压。

● 冷复位

冷复位是第二优先级复位，当 **POR** 复位发生时，冷复位也会被产生，他会向比如 **IWDT**, **WWDT** …等模块发送指令去执行深层模块复位。它还会导致所有的硬件配置 **OB** 重载，并禁用支持寄存器锁定功能的模块的寄存器锁定功能。

● 热复位

热复位是最低优先级的复位。热复位也会在冷复位发生时被产生。它发送给所有的模块以清除标志和硬件电路。它会导致一些硬件设置 **OB** 重载，并复位未锁定或者不支持锁定功能的模块的寄存器到默认值。如果 **RST** 控制器是未锁定的，它还会清除 **RST** 控制器的热复位源使能位。

6.3.4. 外部复位

该芯片通过保持 **RSTN** 引脚低电平来提供 1 个外部硬件复位输入。**RSTN** 引脚可通过硬件配置 **OB** 配置为外

部复位引脚或者其他（GPIO...）等引脚。为了保证可靠地上电复位，通过 **RSTN** 引脚进行硬件复位是必须的。

6.3.5. 模块复位

对于每个 AHB 或 APB 控制模块，它可以接收系统的热复位信号来重置模块的控制标志、寄存器和逻辑电路。对于 IWDT、WWDT、RTC、PW、CSC 和 MEM 模块，它们可以接收冷复位以解除寄存器锁定功能并重置模块。

6.4. 系统时钟

6.4.1. 简介

该芯片内置 1 个时钟源控制器（CSC）用于系统时钟源管理。在系统应用中，有四种时钟源：内部高频 RC 振荡器(**IHRCO**)、内部晶振(**XOSC**)、内部低频 RC 振荡器(**ILRCO**)、外部时钟输入(**EXTCK**)。

1 个内嵌的 **XOSC** 振荡器被用于外部 Xtal 电路。1 个内嵌 PLL 被用于时钟源倍频和给 CPU 和其它的外围模块输出时钟。1 个内嵌的时钟丢失检测器(**MCD**)被用于监视外部 Xtal 或者外部时钟源的时钟。

6.4.2. 芯片时钟特性

- 内嵌 32KHz 的 **ILRCO** (内部低频 RC 振荡器)
- 内嵌 **IHRCO** (内部高频 RC 振荡器)
 - 在 +25°C 时校准至 11.059 或 12MHz ±1%
- 内嵌 最高 48MHz 系统时钟输出的 **PLL**
- 内嵌用于外部 32KHz 或者 4 到 25MHz Xtal 的带 **MCD** 的 **XOSC** 振荡器
- 支持最高 36MHz 的外部时钟输入
- 内置 1 个进行模块时钟使能控制的时钟源控制器
- 支持内部 **XOSC** 震荡器和内部 **ILRCO/IHRCO** 时钟输出

6.4.3. 系统时钟源

在系统应用中，有四种时钟源：内部高频 RC 振荡器(**IHRCO**)、内部晶振(**XOSC**)、内部低频 RC 振荡器(**ILRCO**)、外部时钟输入(**EXTCK**)。软件可以选择其一并立即进行切换，但是软件在切换之前必须驯服时钟源。

6.4.4. PLL 时钟

1 个内嵌 PLL 被用于倍频来自 **IHRCO**、**ILRCO**、**XOSC** 和 **EXTCK** 的时钟源并作为系统时钟。PLL 输入频率范围为 5~7 MHz 而输出时钟频率最高达到 96-MHz 或 144-MHz。

6.4.5. 模块工作时钟控制

CSC 模块可以为内部模块进行工作时钟使能设定和工作时钟源选择。为了让模块正常工作，用户必须先选择和使能模块工作时钟。

6.5. 系统一般控制

6.5.1. 简介

该芯片内嵌 1 个系统控制（SYS）模块用于系统一般控制。该控制器包含了 1 个系统事件中断全局使能控制和芯片制造识别码。

6.5.2. 特性

- 用于中断源的系统中断全局使能控制
- 芯片制造识别码 – 设备 ID, 产品 ID, 用户 ID, 模块选项
- 32 位无复位备份寄存器

6.6. 存储器访问

6.6.1. 简介

该芯片把地址空间分割为程序和数据存储。程序与数据的逻辑分离允许以 32 位进行访问，从而使 CPU 能够快速存储和操作。该芯片支持 1 个内存控制器（MEM）来管理内部 Flash 和 SRAM 的访问工作。

6.6.2. 特性

❖ 嵌入式存储器

- 内嵌 32K 字节 Flash
- 内嵌 4K 字节 SRAM

❖ 内存控制器特性

- 支持通过 SWD 接口进行 ICP（在电路编程）更新 ISP 引导码
- 支持 ISP（在系统编程）更新应用程序代码
 - 支持设置 ISP 闪存大小用于存储 ISP 引导码
 - 提供固定 1K 字节 ISPD 闪存空间作为 ISP 专有数据
- 支持 IAP（在应用编程）更新应用程序代码
 - 支持设置 1M 字节地址最低边界
- 支持以 1K 字节页擦除闪存

6.6.3. 内存控制器

内存控制器支持访问片上 Flash、在 AHB 总线的 SRAM。内存控制器包括了 ICP（在电路编程）/ ISP（在系统编程）/ IAP（在应用编程）用于内存访问的电路、用于硬件选项寄存器加载的选项字节加载器。

该芯片具有 32K 字节的嵌入式 Flash 用于代码和数据、可编程存储空间大小的引导码和用于芯片配置的 64 字节 Flash 选项字。

内存控制器（MEM）支持读取/编程（写入）/擦除闪存。用户可以通过 CPU 读取指令直接从闪存读取数据而不需通过任何寄存器。对于编程模式，MEM 提供 32 位数据格式写入操作给内存做新数据的更新。对于擦除模式，擦除地址仅在低 10 位 CPU 地址=0 (X.X00 0000 000 B) 有效，并以 1K 字节对齐。

6.6.4. 用于 Flash 的 ICP/ISP/IAP

芯片上提供 3 个 Flash 访问模式用于 ICP、ISP、IAP 应用：编程模式和读模式。ICP 允许使用硬件 SWD 接口更新 Flash 的全部内容，并且不需要任何固件请求。另外，用户可以使用 ISP 和 IAP 这两种模式来将新数据写入 Flash，并通过固件的 Flash 访问处理程序获得 Flash 内容。

6.6.5. 硬件选项字节

一共有最多 64 字节的片上选项字节 Flash，用于存储硬件选项设置。

内嵌选项字节（OB）Flash 在上电复位后会加载进硬件设置字节寄存器（OR）。硬件设置 OR 被设计用来配置时钟源来自内部 RC 振荡器或晶振；选择从 AP、ISP 闪存或 SRAM 引导；IAP 闪存的内存大小；其他芯片配置等。

6.7. GPIO

6.7.1. 简介

该芯片有以下 I/O 口：**PA[0:3][8:15]**, **PB[0:3][8:11][13:14]**, **PC [0:6][8:14]**, **PD[0:3][7:10]**。LQFP48 封装下支持最多 44 个 GPIO 引脚。**RSTN** 引脚是一个在 **PC6** 的功能复用引脚。如果选择外部晶振作为系统时钟输入，**PC13** 和 **PC14** 会被配置成 **XIN** 和 **XOUT**。实际可用的 I/O 引脚数量取决于使用的封装类型。

该芯片为每个 GPIO 端口内置了几个 IO 模式控制（PA/PB/PC/PD）模块。这些模块被用于 GPIO 引脚 IO 模式控制、功能复用选择、驱动强度设置、输入反相选择、拉高使能、滤波设定和高速使能。此外，1 个内置的 IO 端口访问控制（IOP）模块被用于控制每个 GPIO 端口的 GPIO 的输入输出状态。

6.7.2. 特性

- 给应用支持的 **GPIO** 引脚
 - LQFP48 封装下支持最多 44 个 **GPIO** 引脚
- 为每个引脚独立地提供可选 **IO** 模式
 - 推挽输出
 - 准双向
 - 开漏输出
 - 高阻抗输入
 - 模拟 **IO**
- 灵活的引脚功能复用选择
- 支持为每个引脚提供独立地设置驱动强度
- 支持为每个引脚独立地提供 **IO** 滤波
- 支持为每个引脚独立地提供输入反相选择
- 支持为每个引脚独立地提供拉高选项
- 在复位后保持 **GPIO** 引脚状态和 **IO** 模式

6.7.3. GPIO 控制块

GPIO 控制块包含了 **IOM**（输入输出模式控制）、**IOP**（输入输出端口访问控制）和 **AFS**（功能复用选择）块。

● IO 工作模式

IO 工作模式支持模拟 **IO**、数字输入、推挽输出、开漏输出、准双向功能。为每个引脚独立地提供可选择的 **IO** 模式。

IO 模式控制块支持为每个引脚独立地设置 **IO** 工作模式、高速输出选项、拉高选项、驱动输出强度、**IO** 滤波和输入反相选择。

● IO 端口访问

当 **AFS** 的设置是为任何 **IO** 引脚设置 **GPIO** 功能模式时，用户可以直接设置逻辑输出或获得 **IO** 引脚的逻辑输入。有 1 个独立的数据输出寄存器位为各个引脚存储输出逻辑值。此外，用户可以为每个 **GPIO** 引脚通过直接读取输入数据寄存器位从而获取 **GPIO** 的引脚逻辑状态。

对于固件控制，有 1 个设置控制位来设置数据输出寄存器位和 1 个清除控制位来清除各个 **GPIO** 引脚的数据输出寄存器位。

该芯片提供 1 个设置或清除寄存器控制位来为各个 **GPIO** 引脚设置、清除数据寄存器位或者读引脚状态。该寄存器位写 1 是设置数据位，写 0 是清除数据。读寄存器的位可以得到 **GPIO** 的引脚状态。由于该寄存器的位需要使用 8 位存储空间，固件很容易通过 CPU 字节访问指令来单独控制 **GPIO** 引脚。它有些类似于 8051 单片机的按位访问 **IO** 控制。

● 功能复用选择控制

用户可以独立地为每个 **GPIO** 引脚通过 **AFS** 矩阵配置模块功能 **IO** 和 **IO** 引脚之间的复用功能。一般来说，**AFS** 的默认设置是 **GPIO** 引脚设置为 **GPIO** 功能，除了 **XIN/XOUT**、**SWCLK/SWDIO** 和 **RSTN** 功能的引脚之外。这些引脚可被硬件配置 **OB** 改变。

6.8. 中断

6.8.1. 简介

复位之后，CPU 会开始从复位中断向量(0x00000004) 地址，也就是用户应用的起始部位开始执行。为了使用中断服务，中断服务地址（被称为中断向量）必须位于 0x000000BF~0x00000000 之间。

该 ARM cortex M0 CPU 内嵌了 1 个含有 32 个 4 级优先级外部中断的 **NVIC**（内嵌向量中断控制器），此外，还内置了 1 个与 **NVIC** 连接的 **EXIC**（外部中断控制器）模块。

6.8.2. 中断特性

- 内置 1 个含有 32 个 4 级优先级外部中断的 **NVIC**
- 内置 1 个与 **NVIC** 连接的 **EXIC**（外部中断控制器）模块
 - 独立的高电平/低电平和上升沿/下降沿触发选项
- 内置 1 个用于唤醒事件控制的 **WIC**（唤醒中断控制器）
- 所有的 **GPIO** 引脚均可被设置为中断源或按键输入
 - 支持中断功能的端口“或”逻辑
 - 支持 **KBI** 功能的端口“与”逻辑
- 支持 **CPU NMI/RXEV/TXEV** 功能的外部引脚
 - 可设置 **CPU NMI** 输入功能的引脚
 - 可设置 **CPU RXEV** 输入功能的引脚
 - 可设置 **CPU TXEV** 输出功能的引脚

6.8.3. 中断结构

每个中断在程序存储器中被分配一个固定的位置。中断会导致 CPU 转跳至那个位置，在那里执行服务程序。比如 **NMI** 中断，会被分配到 0x00000008 地址，当 **NMI** 被使用时，它的服务程序就必须在 0x00000008 地址开始执行。

中断服务位置的间隔为 4 字节：复位中断的 0x00000004、**NMI** 的 0x00000008、**Hard-Fault** 的 0x0000000C、**SVCall** 的 0x000 000 2C、**PendSV** 的 0x00000038、**SysTick** 的 0x0000003C 等。

● 异常类型

NVIC 有 7 种异常类型：**Reset**、**NMI**、**HardFault**、**SVCall**、**PendSV**、**SysTick** 和中断(IRQ)。**NVIC** 支持 32 个外部中断输入。中断是由外围设备发出信号或由软件请求生成的异常。4 级优先级中断结构在处理这些中断源方面具有很大的灵活性。

● 中断源

“挂起位”是一个若通过设置“设置使能位”，将产生中断的中断标志。“挂起位”可以被软件设置或清除，结果与硬件设置或清除的结果相同。也就是说，中断可以被软件生成，也可以将挂起的中断取消。“优先级位”决定了各个中断的优先级。“级别内优先级”用于解决同优先级的同时请求。“向量地址”是在程序存储器内的中断服务程序的入口。

表 6-2. 中断源表

NVIC						注释
异常 No.	IRQ No.	中断名称	优先级	激活	异常处理程序	
0	-	Initial	-			
1	-	Reset	-3	异步		复位异常
2	-14	NMI	-2	异步	系统处理程序	不可屏蔽中断
3	-13	HardFault	-1	同步	错误处理程序	Cortex-M0 Hard Fault 中断
4~10	-	保留	-			
11	-5	SVC	可设置	同步	系统处理程序	Cortex-M0 SV 广播中断
12~13	-	保留	-			
14	-2	PendSV	可设置	异步	系统处理程序	Cortex-M0 Pend SV 中断
15	-1	SysTick	可设置	异步	系统处理程序	Cortex-M0 System Tick 中断
16~47	0~31	-	可设置	异步	ISRs	通用中断

可设置：可设置优先级为 0~3

● 中断优先级

用于服务中断的优先级方案具有 4 个中断级别。CPU 寄存器内的优先级位、IPR0-7、SHPR2、SHPR3 决定了各个中断的优先级。

中断优先级寄存器为每个中断提供 8 位优先级字段和为每个寄存器包含了 4 个优先级字段。处理器只执行每个字段的 [7:6] 位，[5:0] 位读取为零并忽略写入。

高级优先级中断不会被低级优先级中断请求抢断。如果同时接收到两个不同优先级的中断请求，则执行优先级较高的请求。当同时接收到两个相同优先级的中断请求，则根据内部轮询序列执行服务程序。“中断源”表格展示了同优先级下的内部轮询序列和中断向量地址，异常数字越低，优先级越高。

6.8.4. 嵌套中断向量控制器

Cortex-M0 处理器集成了 1 个可配置的嵌套中断向量控制器 (NVIC)，它支持低延迟中断处理，并且包括非屏蔽中断 (NMI)。NVIC 提供了 1 个零跳动中断选项和 4 个中断优先级。

中断处理程序不需要任何汇编程序代码，或 ISR 中删除任何代码开销。尾链优化也显著地降低了从一个 ISR 切换到另一个 ISR 时的开销。

为了优化低功耗设计，NVIC 集成了 sleep 模式。Sleep 模式包含可选的 deep sleep 模式从而使整个设备能快速进入掉电。

6.8.5. 唤醒中断控制器

该芯片包含了 1 个能检测来自 EXIC 的中断或唤醒事件并将处于 deep sleep 模式的处理器唤醒的唤醒中断控制器 (WIC)。只有当 CPU 的 SCR 寄存器内的 DEEPSLEEP 位置 1，才能使能 WIC。WIC 是不可编程的，也不含有任何寄存器或者用户接口，它是完全通过硬件信号工作的。

6.8.6. 外部中断控制器

外部中断控制器 (EXIC) 含有 4 个外部端口中断块 (EXINT) 来管理外部引脚输入中断事件，还有 1 个唤醒控制块来控制 NMI、RXEV 事件和唤醒事件。EXIC 还作为内部模块和 NVIC 之间的接口控制器，用于中断和唤醒事件管理。

6.9. 通用逻辑

6.9.1. 简介

该芯片内置 1 个通用逻辑 (GPL) 模块，它提供了数据顺序调换、奇偶校验、数据反相和 CRC 的多种功能。

6.9.2. 特性

- 支持数据反相、位顺序调换、字节顺序调换和奇偶校验
 - 支持 8/16/32 位的数据位调换
 - 支持数据字节顺序在 8/16/32 位进行大端规则和小端规则的调换。
 - 支持 8/16/32 位奇偶校验
- 支持 CRC (循环冗余码校验) 计算
 - 可设置 CRC 初始值
 - CRC 输出位顺序调换
 - CRC 计算完成时间：32/16/8 位数据分别为 4/2/1 个 AHB 时钟周期
- 具有固定公共多项式的 CRC
 - CRC8 多项式 0x07
 - CRC16 多项式 0x8005
 - CCITT16 多项式 0x1021
 - CRC32(IEEE 802.3) 多项式 0x4C11DB7
- 可使用 DMA 缓冲输入数据

6.10. APB 一般控制

6.10.1. 简介

该芯片内置 1 个 APB (APB 总线一般控制)模块用于 APB 设备的一般控制。

6.10.2. 特性

- 用于 TMx 定时器模块的定时器同步使能全局控制
- 用于 TMx 定时器的定时器内部触发/时钟源选择
- OBM(输出信号中止和调制)控制
 - 支持 2 组 OBM 输出信号中止和调制控制
- 红外遥控输出

6.11. 直接存储器访问

该芯片内置 1 个直接存储器访问控制器 (DMA)用于加强外设-内存、内存-内存、外设-外设的数据传输。数据可以在不使用 CPU 资源的情况下快速的通过 DMA 传输。

注意: 在该章节描述中, 标志 (n= DMA 通道号)用于寄存器、标志和引脚/端口。

6.11.1. 特性

- 1 个可配置的硬件 DMA 通道
 - 内存、APB 和 AHB 外设可作为源和目的地访问
 - 支持 SRAM/FLASH 作为内存源、SRAM 作为内存目的地
 - 外设包含 ADC0, I2Cx, URTx, SPIx, TM36, GPL 模块
- DMA 传输管理类型
 - 内存-内存
 - 外设-内存

- 内存-外设
- 外设-外设
- 最大可设置传输数据量为 **65535** 字节
- 可设置单次传输数据宽度为 **1,2,4** 字节
- 支持循环发送模式和自动重载起始地址控制
- 为引脚触发请求提供 **single/block/demand** 模式

6.11.2. DMA 控制块

DMA 控制器（DMA）传输 AHB 外设、APB 外设、SRAM 和外部存储器这些源和目的地的数据。DMA_TRG0 和 DMA_TRG1 这两个外部引脚能够作为 DMA 数据传输的触发信号输入。

6.12. ADC

6.12.1. 简介

该芯片内嵌 1 个含有 12 位逐步逼近式 ADC（模拟转数字转换器）、1 个可增益 1~4 的 PGA（可编程增益放大器）和用于输出码控制的数字逻辑的 ADC0 模块。它支持可配置包含 12 条外部和 4 条内部源的多路复用通道。模数转换可在单次、持续、单次循环扫描或持续循环扫描模式下进行。

6.12.2. 特性

- **12 位 800Ksps 的 SAR ADC**
 - 可设置分辨率: **12/10/8** 位
 - 可设置采样时间
- 提供 **12** 条外部通道和 **4** 条内部通道输入
 - 内部通道源 : **VBUF, VSSA, LDO VR0** 输出, **ADC** 参考电压
- 支持自动采样和通过外部引脚、内部事件和软件位触发
- 输出码左对齐/右对齐
- 带旁路选项的内置输入缓冲
- 可设置偏移量
- 可设置增益 : **1~4**
- 在采样结束、转换结束、扫描转换结束后产生中断
- 支持电压窗口监测
 - **2** 级可设置窗口阈值
- 内置 **1** 个用于 **ADC** 输出码的硬件累加器
- 支持单通道/通道扫描/循环扫描
- 可使用 **DMA** 缓冲 **ADC** 数据
- 支持 **Wait** 模式
 - 防止在低频率 **ADC** 采样时钟时 **ADC** 过载

6.12.3. ADC 控制块

ADC 控制块由 1 个含有 12 个输入通道的模拟多路复用器 (AMUX)，1 个 **800Ksps/12** 位 SAR (逐步逼近寄存器) ADC，参考电压电路，ADC 转换触发启动控制块和改变扫描控制块组成。

● ADC 输入通道

模拟多路复用器 (AMUX) 选择 ADC 的输入，在单端模式下所有的输入引脚都可被测量。

用于 A/D 转换器的模拟输入引脚还具有用于数字输入和输出功能的 I/O 引脚。为了提供适当的模拟性能，与 ADC 一起使用的引脚需要禁用数字输出，将端口引脚置仅输入模式即可。此外，当模拟信号被用于 **ADC_I[15:8][3:0]** 引脚且不需要将此引脚作为数字输入时，软件可以将相应的引脚设置成 AIO 模式来关闭数字输入缓冲区来降低功耗。

● 单端输入模式

ADC 支持单端输入模式，ADC 可转换 ADC 输出码为无符号数。

- **ADC 采样时间**

对于输入信号质量和转换速度的问题，用户可以调整 ADC 的采样时间，在实际的应用中，若转换速率与信号带宽时合理且有效的，则一般选择增加 ADC 采样时间来获得更稳定的电压和更好的 ADC 性能。

- **ADC 转换模式**

ADC 支持单次、通道扫描、循环扫描三种转换模式。

- **ADC 输出控制**

当 ADC 转换结束了，产生的 ADC 原始码被发送到 ADC 输出控制块中，这些控制块包含数字偏移调节器、符号码转换器、数字分辨率调节器、电压窗口检测器、输出码限制器和数据对齐调节器。

ADC 输出代码会通过被 ADC 输出控制块调整并存储转换结果数据到 ADC 数据寄存器中。

- **电压窗口检测和输出码限制**

ADC 可以通过阈值窗口来比较输入电压，另外，ADC 输出码可以通过相同的阈值窗口进行比较，设置一个码限制区来跳过或者保持输出码。

- **ADC 数据累加**

ADC 内置 1 个用于 ADC 输出码的硬件累加器，这个累加器被用于累加可设置数量的 ADC 序列数据，并将结果传入总和寄存器。用户可设置要进行累加的 ADC 数据数量。ADC 支持 3 个和数据寄存器，用户可通过这几个寄存器获得累加和。

- **ADC Wait**

ADC 支持 Wait 模式来防止在低频率 ADC 采样时钟时 ADC 过载。

6.13. 模拟比较器

6.13.1. 简介

该芯片内嵌了 1 个含有 2 个有灵活的输入多路复用器的通用模拟比较器、2 个 R-阶梯内部参考电压，还为每个模拟比较器独立配备的数字同步滤波器的 CMP 模块。这些模拟比较器可被配置为 4 个独立比较器或 1 个组合窗口比较器。这个模块提供了比较器输出结果状态位和上升沿和下降沿改变时的中断标志。此外，输出结果可以被输出到外部引脚或内部其他模块作为触发事件。

6.13.2. 特性

- 提供 2 个快速轨对轨比较器
- 可设置 64 级阈值的内部参考电压
- 为所有的比较器提供总共 6 个外部通道输入
- 为每个 +/- 输入路径选择提供灵活的 6 个通道输入
- 可设置响应时间以获得最佳电流消耗
- 可用 2 个比较器组合成窗口比较器
- 可选择比较输出极性
- 支持掉电唤醒
- 将比较输出到 I/O、中断或作为内部模块的触发事件
 - 定时器内部触发、捕获事件或中止事件
- 支持模拟看门狗作为复位源

6.13.3. CMP 控制块

CMP 模块包含 2 个相同设计的通用模拟比较器 CMP0~1 和 2 个 R-阶梯的内部参考电压 **IVREF/IVREF2**。每一个都配有独立的输入多路复用器、数字同步滤波器和数字输出电路。**IVREF** 只用于 CMP0 而 **IVREF2** 用于 CMP1。

模拟比较器内置 2 个 64 级 R-阶梯内部参考电压 – **IVREF** 和 **IVREF2**。他们可以作为其中 1 个模拟比较器输入，并与其他外部源输入进行比较。

模拟多路复用器 (AMUX) 选择 **CMPn_I0,CMPn_I1** 到每个模拟比较器的输入，和 **CMP_C0,CMP_C1** 到模拟

比较器 CMP0/1。它允许任何到 CMP0/1 的输入引脚在正极输入和负极输入之间进行比较。

用于比较器的模拟输入引脚还有 I/O 端口的数字输入和输出功能。为了提供适当的模拟性能，被使用的引脚需要禁用数字输出，将端口引脚置数字输入模式即可。此外，当模拟信号已作用于模拟输入引脚且数字输入引脚不需要被使用时，软件可以将相应的引脚设置成 AIO 模式来降低数字输入缓冲区的功耗。

6.14. IWDT

6.14.1. 简介

该芯片有 1 个独立看门狗定时器作为 CPU 可能因软件受到干扰的情况的恢复手段。当计数器到达给定的超时值时它会触发系统复位。

6.14.2. 特性

- 有 12 位预分频器的由自身 CK_ILRCO 作为时钟源的 8 位向下计数器
- 兼容工作在 SLEEP 和 STOP 模式
- 当计数器下溢时可选择复位或中断
- 有支持中断的两个早唤醒比较器
- 支持寄存器值保护和复位锁定功能

6.14.3. IWDT 控制

IWDT 看门狗定时器由 1 个 12 位预分频器和 1 个 8 位定时器组成。当看门狗定时器被使能时，软件需要总是在定时器超时之前复位定时器，当看门狗定时器被复位，定时器将会将重装载 0xFF 值并重新开始计时。

若芯片由于受到干扰失控时，固件会因为不能及时复位定时器而导致定时器超时的到来，它会让 IWDT 产生复位事件，并发送到复位源控制器（RST）并作为热复位或冷复位来进行复位。

IWDT 能记录硬件设置字节（OB）中关于 IWDT on/off、输入时钟分频器值、IWDT 寄存器写保护相关的默认的初始值。

IWDT 能在 STOP 模式下工作，且 APB 时钟会被停止，该模块会异步控制所有逻辑。

IWDT 通过看门狗定时器下溢和早唤醒 - 0/1 检测来支持 STOP 模式下的芯片唤醒。当芯片进入 STOP 模式且发生其他 IWDT 唤醒事件中的任何一个时，IWDT 将唤醒事件发送到电源控制器（PW）以作为系统唤醒事件。

6.15. WWDT

6.15.1. 简介

系统窗口看门狗是用来检测导致应用程序异常的软件错误的发生的。在计数器达到给定的超时值时看门狗电路将产生 1 个系统复位。

WWDT 有一个可配置的时间窗口，可用来检测异常晚或早的应用行为。

6.15.2. 特性

- 1 或 256 分频器的 10 位计数器，1/2/4~128 分频器
- 可设置时间窗口用来检测异常晚或早的应用行为
- 计数器下溢或窗口外重载时可选择复位或中断
- 支持警报中断
- 支持寄存器键值保护和复位锁定功能

6.15.3. WWDT 控制

WWDT 看门狗定时器由 1 个 /1 或/256 的时钟预分频器、1 个 7 位时钟分频器和 1 个 10 位定时器组成。当看门狗定时器被使能时，软件需要总是在定时器超时之前复位定时器。当看门狗定时器被复位了，定时器将重载值并重新开始计数。

若固件失控时，有可能会因为不能复位定时器而导致定时器超时的到来，它会让 WWDT 产生复位事件，并发送到复位源控制器（RST）并作为热复位或冷复位来进行复位。若固件复位了定时器，但是同时计数器值超过

窗口比较阈值，则 WWDT 依然产生复位事件。

6.16. RTC

6.16.1. 简介

实时时钟是 1 个独立的 32 位定时器，RTC 提供一个带有可设置报警中断的时钟。用户可以通过软件编程的秒、分钟、小时、日和日期作日历。

RTC 提供 1 个唤醒标志来用中断方式从掉电模式执行自动唤醒。

6.16.2. 特性

- 内置可选时钟源的 32 位计数器
- 支持报警功能的 32 位可设置比较寄存器
- 支持用于保存事件的时间戳功能
- 支持从 **Stop** 模式唤醒
- 支持寄存器键值保护和复位锁定功能

6.16.3. RTC 控制

RTC 支持报警功能且有 1 个寄存器可设置 RTC 报警比较值。当 RTC 定时器值对应 RTC 报警比较值时，RTC 报警标志会被置起并产生 1 个中断，此外，RTC 可以捕获 32 位定时器值或重载值至 32 位定时器。

RTC 通过外部引脚输入支持时间戳功能。用户可选择上升沿触发、下降沿触发、两沿触发 3 种输入触发沿。当 1 个外部输入信号匹配时，RTC 时间戳标志会被置起并产生中断。

RTC_OUT 输出能将 RTC 内部信号输出到内部模块或外部引脚。一共有定时器溢出信号切换输出、时间戳触发事件、定时器输入周期时钟信号和报警比较输出事件 4 种标志可选和被 **RTC_OUT** 输出发送。

RTC 能在 **STOP** 模式下工作，且 APB 时钟会被停止，该模块会异步控制所有逻辑。

RTC 在芯片为 **STOP** 模式时支持通过定时器溢出、定时器输入周期时钟和报警比较输出唤醒。当芯片进入 **STOP** 模式且有任意一个 RTC 唤醒事件发生时，RTC 会将唤醒事件发送至电源控制器（PW）作为系统唤醒事件。

6.17. 定时器

6.17.1. 简介

该芯片有 5 个定时器/计数器模块：TM00、TM01、TM10、TM16、和 TM36。他们全部都可以被设置为定时器或事件计数器。

TM0x 有 1 个 8 位预分频器的 8 位定时器/计数器。TM1x 有 1 个 16 位预分频器的 16 位定时器/计数器。

TM36 有 1 个 16 位预分频器和内嵌 4 个输入/输出捕获比较通道的 16 位定时器/计数器。

6.17.2. 特性

- 提供 5 个定时器/计数器：**TM00, TM01, TM10, TM16, TM36**
- 定时器模块一般功能
 - 可选择 **Full-counter, Cascade, Separate** 模式
 - 多个内部和外部信号作为定时器时钟源或触发源
 - 将内部计时器事件输出到引脚或其他模块作为输入触发事件
 - 支持用于触发源功能的定时器复位、触发启动和时钟门控
 - 定时器溢出作为时钟输出到外部引脚输出
 - 可设置计数器 **auto-stop** 模式
 - 主要计数器向上/向下控制（仅 TM16/TM26/TM36）
 - 第二计数器支持向上/向下计数控制（**Separate** 模式）
- 提供 TM36 定时器模块
 - 32 位定时器/计数器

- 4 个 CCP (输入捕获/输入捕获/PWM) 通道
- 3 个具有 OCN (互补输出比较) 的 CCP 通道
- 具有中心对齐/死区控制/中止控制功能的 PWM
- 支持 OC 比较器分割为两个独立的比较器模式
- 可设置死区时间
- 支持 QEI(正交编码接口)
- 外部输入定时器向上/向下计数控制
- 1 个 IC 和 3 个 OC 可使用 DMA 缓冲
- 提供 TM1x 定时器模块
 - 32 位定时器/计数器
 - 外部输入定时器向上/向下计数控制(仅 TM16)
- 提供 TM0x 定时器模块
 - 16 位定时器/计数器

6.17.3. 定时器模块功能表

下表显示了定时器模块的功能。

表 6-3. 定时器模块功能表

模块功能	TM00	TM01	TM10	TM16	TM36
定时器/计数器位数	16	16	32	32	32
定时器 Cascade 模式	yes	yes	yes	yes	yes
定时器 Separate 模式	yes	yes	yes	yes	yes
定时器 Full-Counter 模式	yes	yes	yes	yes	yes
独立通道					4
内部 TRGI 线	8	8	8	8	8
外部 TRGI 线	1	1	1	1	1
输出 TRGO 线	1	1	1	1	1
输出 CKO 线	1	1	1	1	1
输入捕获 IC 线					4
输出 OC 线					4
输出 OCN 线					3
输出 OCH 线					4
输入中止线					1
PWM 分割成 2 个					yes
PWM 边缘对齐					yes
PWM 中心对齐					yes
死区发生器					yes
1st 定时器的向上/向下计数	U	U	U	U/D	U/D
2nd 定时器的向上/向下计数	U/D	U/D	U/D	U/D	U/D
定时器自动停止	yes	yes	yes	yes	yes
QEI 定时器向上/向下计数控制					yes
3-输入 XOR 到 CH-0					yes
DMA 请求能力					yes

注释 1. 定时器模式 0 : Cascade 模式~16 位计数器+16 位预分频器 或 8 位计数器+8 位预分频器

2. 定时器模式 1 : Separate 模式~2 个 16 位计数器或 8 位计数器

3. 定时器模式 2 : Full-counter 模式~32 位计数器或 16 位计数器

6.17.4. 定时器控制块

TMx 模块包括 1 个触发/时钟控制块、1 个计数器级、1 个捕获/比较控制块和通道 I/O 控制（仅 TM3x）的输入/输出级和中止控制块（仅 TM36）。TMx 支持三种定时器操作模式：（1）Cascade 模式（2）Separate 模式（3）Full-counter 模式。

- 触发控制块

触发控制块有两个功能，一个是控制定时器触发输入事件，另一个是控制定时器触发输出事件。

定时器触发输入事件包括复位定时器、门控时钟和用于主定时器和 2nd 定时器的定时器启动触发。定时器触发输入事件的输入源是从外部触发信号、内部触发信号或 **TMx_IN0/TMx_IN1** 的外部通道输入信号中选择的。

定时器触发输出事件源可以来自这个定时器模块的许多内部事件或信号。另外，用户可以直接使用软件寄存器来设置触发输出。此输出事件源可以通过寄存器选择和反转输出信号。

- 定时器输入/输出通道

下表显示了每个定时器模块的通道输入信号。由于 TM0x 和 TM1x 模块是没有通道输入选择功能，因此不支持输入捕获/输出比较。每个通道有四条输入线。

- 定时器输入捕获和输出比较

输入捕获(IC)和输出比较(OC)功能仅支持 TM3x 模块。TM0x 和 TM1x 模块没有输入捕获/输出比较的功能。

用户可以配置每一个定时器 IC/OC 通道独立地作为输入捕获、输出比较或 PWM 模式运行。

- PWM 死区控制

死区发生器(DTG)只在 TM36 模块中被支持。用户可以使用 DTG 功能，并将定时器通道配置为 16 位 PWM 模式或 2 个 8 位 PWM 模式。

- 中止控制块

中止控制块只在 TM36 模块中被支持。该模块可以从内部事件、外部事件或软件寄存器中输入中止事件，以中止定时器输出信号。

- QEI 控制块

QEI (正交编码接口)控制块只在 TM36 模块中被支持，QEI 块可以从两个外部信号输入来控制主定时器向上或向下计数。QEI 块提供 5 种控制模式且用户可以通过寄存器使能 QEI 控制和配置 QEI 控制模式。

当 QEI 控制块被使能时，如果检测到索引信号脉冲，定时器将在向上计数期间复位或在向下计数期间重载自动重载值。

6.18. I2C

6.18.1. 简介

I2C 接口是双线双向串行总线。它非常适合于典型的微控制器应用。I2C 协议允许系统设计者使用仅 2 个双向总线，一个用于时钟（SCL）和一个用于数据（SDA）来互连 128 个不同的设备。I2C 总线提供对 SDA, SCL 生成和同步、仲裁逻辑和 START/STOP 控制和生成。实现此总线所需的唯一外部硬件是在每条 I2C 总线上的 1 个上拉电阻。连接到总线的所有设备都有单独的地址，并且在 I2C 协议中固有解决总线争用的机制。

I2C 模块内建的阴影缓冲区和数据寄存器，可提高发送和接收通信性能。

6.18.2. 特性

- 提供 1 个 I2C 模块 : I2C0
- I2C 模块一般功能
 - 支持主机和从机模式
 - 支持设置时钟速率控制和高达 1MHz 的时钟速率
 - 支持主机模式设置高/低周期控制
 - 支持从机模式的时钟拉伸模式
 - 支持通用广播功能
 - 支持多主机处理能力
 - 支持字节模式和缓冲模式的流控制

- 支持用于固件控制的字节模式总线事件代码
- 支持用于高速通信的 4 字节数据缓冲器和 32 位数据寄存器的缓冲模式
- 支持使用 DMA 缓冲接收和发送数据
- 支持从机硬件检测从 STOP 模式唤醒
- 支持 SMBus 超时检测

6.18.3. I2C 控制

- I2C 数据字节模式控制

该模块提供一个总线事件寄存器以获得用于软件字节模式控制的 I2C 事件代码。1 个 8 位移位缓冲器和 1 个 8 位数据寄存器用于 I2C 数据字节模式。

- I2C 数据缓冲模式控制

该模块使用了 8 位移位缓冲器、32 位阴影缓冲器和 32 位数据寄存器用于数据缓冲模式的数据流控制。下面的图表显示了 I2C 数据缓冲模式的控制块。

- I2C 主机时序控制

2 个时序控制寄存器简单地用于配置 I2C 时序的高电平和低电平时间。

- I2C 超时定时器控制

该模块为 I2C 访问超时控制提供 1 个 8 位超时定时器 (TMO)。

6.19. UART

6.19.1. 简介

UART 模块支持全双工传输，意味着它可以同时发送和接收。该模块内置的影子缓冲器和数据寄存器独立地用于发送和接收中，以提高发送和接收通信性能。在从寄存器中读取先前接收的字节之前，可以开始接收第二字节。然而，如果在第二字节的接收完成时仍未读取第一字节，则其中一个字节将丢失。

该模块可以多种方式工作：异步通信、同步通信、SPI 主机、SmartCard、LIN、多处理器模式。异步通信作为全双工通用异步接收机和发射机(UART)，它可以不同波特率同时发送和接收。

6.19.2. 特性

- 提供 2 个相同的 UART 模块: URT0, URT1
- UART 模块一般功能
 - 支持 UART，同步，SPI 主机，智能卡，LIN，多处理器模式
 - 通过设置过采样率提供精确的 UART 波特率控制
 - 最高支持波特率 6 Mbit/s
 - 可设置数据字长 - 7 或 8 位
 - 可选择 MSB 或 LSB 数据顺序
 - 可设置 0.5,1,1.5 或 2 位停止位
 - 硬件奇偶校验与奇偶校验生成
 - 可设置 4~32 过采样率
 - 可互换 TX/RX 引脚配置
 - 发送与接收信号分别极性控制
 - 支持 Idle/RX/Break/Calibration 的超时定时器超时检测
 - 支持使用 4 字节数据缓冲和 32 位数据寄存器用于高速数据通信
 - 支持使用 DMA 缓冲接收和发送的数据
 - 支持自动波特率检测和校准
 - 支持主从模式的多处理器通信-Idle 线，地址位
 - 支持低速类似 UART 的 IrDA 帧格式
 - 支持收发器仅通过 CTS/RTS 信号硬件流控制
 - 为单总线系统启动传输提供驱动使能信号

- 支持用于智能卡应用的传输错误的硬件检测与自动重传控制
- 支持用于智能卡应用的接收奇偶错误硬件检测和自动重试控制

6.19.3. UART 控制

UART 模块能够从 UART（异步模式）、SYNC（同步模式）、IDLE（多处理器空闲模式）和 ADR（多处理器地址位模式）之一配置控制模式。

UART 模块实现了多处理器通信的 Idle 线模式或地址位模式两种操作模式。

- **UART 数据缓冲**

UART 模块使用了两个 8 位移位缓冲器，2 个 32 位影子缓冲器和 2 个 32 位数据寄存器，用于数据流控制，并减少 CPU 开销。

- **UART 数据字符格式设置**

UART 字符被定义为 UART 事务的数据单元。通常，字符包括 1 个起始位、8 位或 7 位数据位和 1 个停止位。另外，它也可以插入一个奇偶校验位(PAR)和一个地址位(ADR)用于多处理器模式。

- **UART TMO 超时控制**

该模块为 UART 访问超时控制提供 1 个 16 位超时定时器（TMO）。它可以通过寄存器配置为 UART 超时定时器或一般定时器。当 TMO 计时器被配置为一般定时器时，会有 1 个重新加载寄存器用于定时器。

TMO 定时器可用于检测空闲线路状态、中止超时、RX 超时、Idle 超时和波特率校准超时。

- **UART 波特率控制**

波特率定时器（BR）可以配置为 UART 波特率发生器或通用的定时器。波特率定时器发生器能够输出用于 UART 通信波特率控制的内部时钟。

- **UART 静音模式控制**

UART 模块支持静音模式来禁用接收数据，但是移位缓冲器仍然会用于状态检测的工作。当 UART 进入静音模式时，RX 影子缓冲器将不会从移位缓冲器中加载数据。静音模式对于多处理器通信时有效的。

静音模式可以通过寄存器配置进行硬件检测自动进入或退出。也可以通过寄存器设置直接强制输入或退出，用户可以手动控制静音模式的输入和退出。

- **UART IrDA 控制**

UART 模块在 IrDA 通信的数据接口中建立了 IrDA 编码器和 IrDA 解码器。

- **UART DE 控制**

UART 模块提供一个 **URTx_DE** 数据使能信号。该信号用于表示数据发送周期，并可输出到外部信号驱动设备。外部信号驱动设备可以接收 UART TX 信号，并用信号增强缓冲器将其驱动到以 UART 接收机为目标的长距离通信。

- **UART 硬件流控制**

UART 支持用于数据事务的硬件流控制功能，并提供 **URTx_CTS**（清除发送）和 **URTx_RTS**（请求发送）的两个控制信号。

6.20. SPI

6.20.1. 简介

该芯片提供了高速串行外设接口（SPI）。SPI 是一种全双工、高速、同步的通信总线，具有主机模式和从机模式两种工作模式。在 48MHz 系统时钟下，主机模式可以支持 24MHz，从机模式可以支持 16MHz。

SPI 模块内置阴影缓冲器和数据寄存器独立地用于发送和接收，以提高发送和接收通信性能。

6.20.2. 特性

- 支持 1 个 SPI 模块 – SPI0
- 支持主机和从机模式
 - 支持全双工、半双工或单工通信方式
 - 支持无 NSS（从机选择信号）通信方式
- 支持设置时钟速率控制

- 主机模式可以支持 24MHz, 从机模式可以支持 16MHz
- 可选择 4~32 位帧大小
 - 支持使用 4 字节数据缓冲器和 32 位数据寄存器用于高速数据通信
- 支持使用 DMA 缓冲接收和发送的数据
- 支持多主机处理
- 可选择时钟极性和相位
- 可选择 MSB 或 LSB 数据顺序
- 用于主机和从机的 NSS 线的软硬件管理
- 可设置数据传输模式
 - 标准 SPI 模式（独立的发送和接收线）
 - 具有双向数据传输的单线 SPI 模式
 - 具有双向数据传输的双线 SPI 模式
 - 具有双向数据传输的四线 SPI 模式
- 数据发送/接收过载检测
- 支持硬件主机模式故障检测和自动从机模式改变

6.20.3. SPI 控制

- **SPI 数据缓冲模式控制**

该模块实现了使用 2 个 32 位移位缓冲器, 2 个 32 位阴影缓冲器和 2 个 32 位数据寄存器, 用于数据流控制, 并减少 CPU 开销。

- **SPI 数据帧**

用户可以通过寄存器将数据帧位大小设置为 4 位到 32 位。另外, 用户可以配置帧数据顺序为 LSB 或者 MSB。

- **SPI 数据模式**

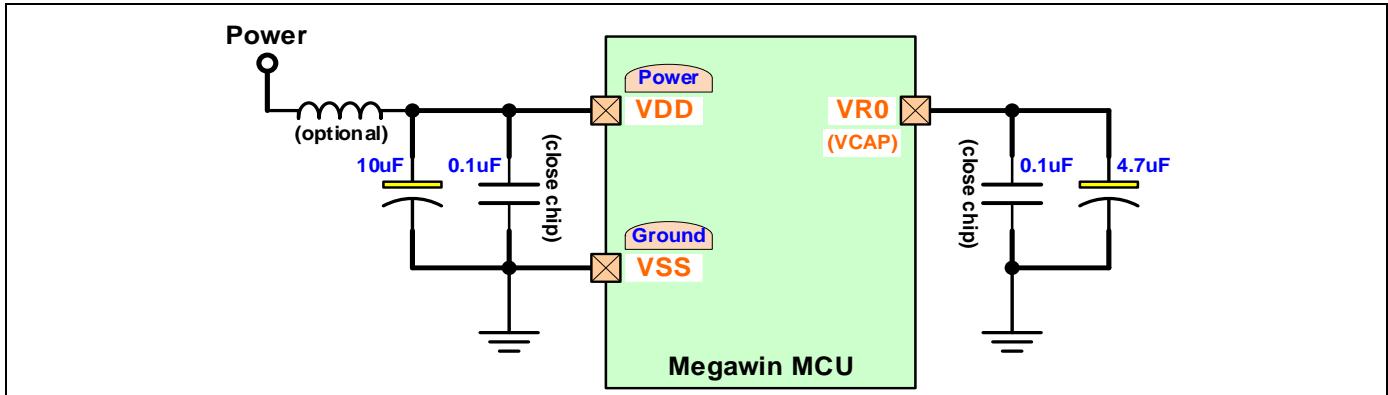
SPI 模块提供多种数据模式, 并且可为 SPI 灵活应用配置为标准 SPI、单线 SPI、双线 SPI、四线 SPI。

7. 应用注意事项

7.1. 电源电路

为了使芯片工作在 1.8V 到 5.5V 之间，需要增加一些外部去耦和旁路电容，如下图所示。

图 7-1. 电源电路



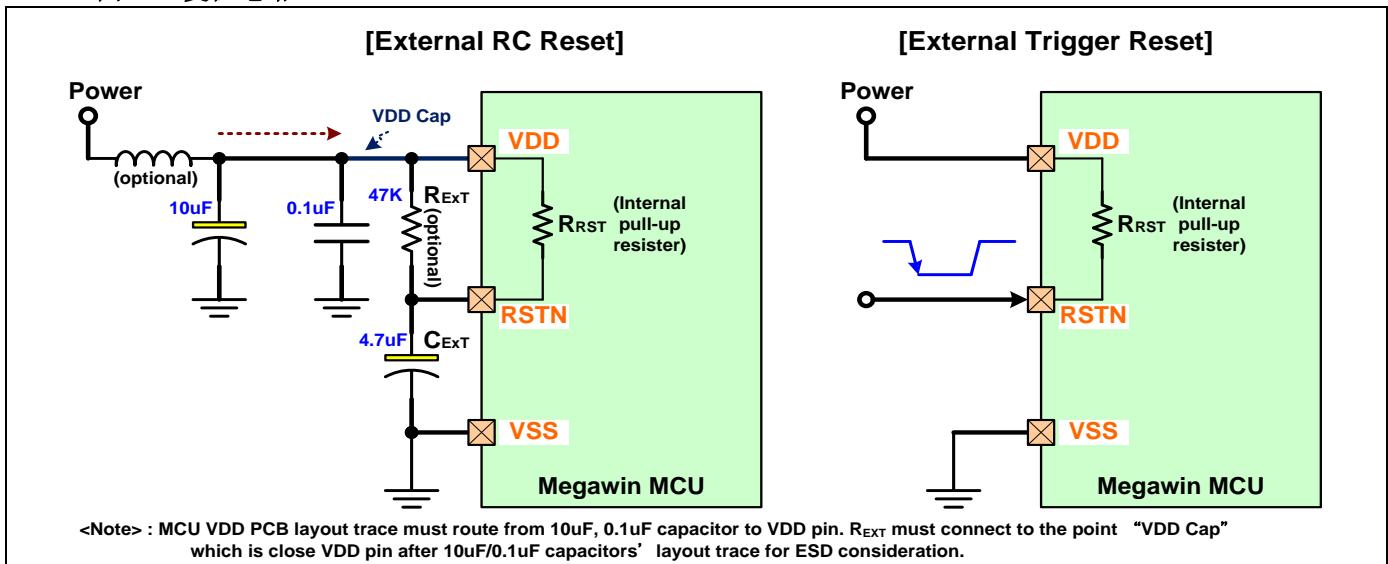
7.2. 复位电路

通常，上电复位可以在上电过程中成功地产生。然而，为了进一步确保 MCU 在上电时可靠地复位，外部复位是必要的。下图显示了外部复位电路，它由一个连接到 **VDD**（电源）的电阻器 **R_{EXT}** 和一个连接到 **VSS**（接地）的电容器 **C_{EXT}** 组成。

一般来说，**R_{EXT}** 是可选的，因为 **RSTN** 引脚具有内部上拉电阻 (**R_{RST}**)。该连接到 **VDD** 的内部集成电阻器允许仅使用外部电容器 **C_{EXT}** 连接到 **VSS** 的上电复位。

若在实际应用中，需要将 **RSTN** 引脚既作为复位又用作 GPIO 两种功能时，强烈建议将 **RSTN** 引脚设置为输出模式，这是因为在该情况下，若设置 **RSTN** 引脚为输入模式，则有可能会因为引脚输入低电平导致芯片复位锁定。

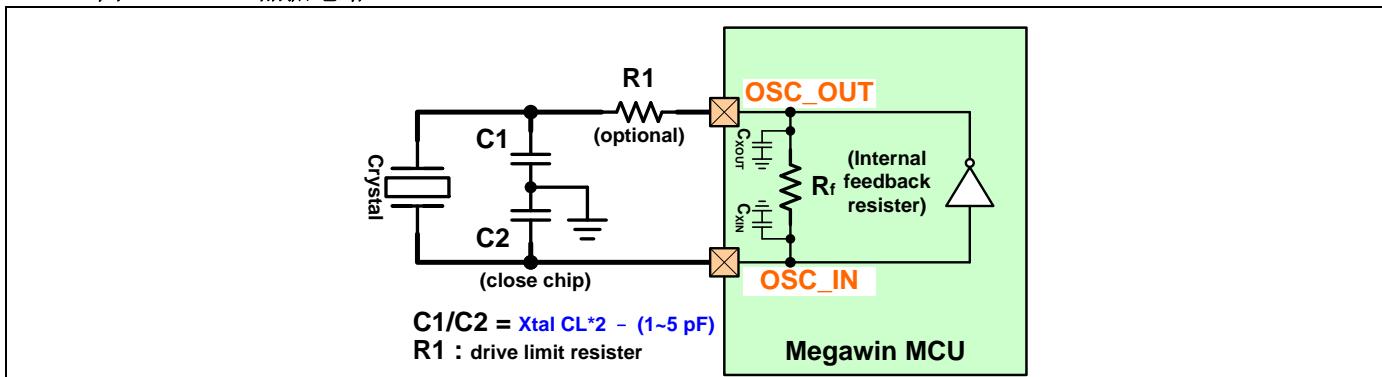
图 7-2. 复位电路



7.3. Xtal 晶振电路

为了实现成功和精确的振荡（最高 25MHz），电容器 **C1** 和 **C2** 是必要的，如下图所示。通常，**C1** 和 **C2** 值相同。

图 7-3. XTAL 晶振电路



❖ Xtal 电容选择

C_{XIN} / C_{XOUT}: 芯片内部晶体振荡电路等效电容.

表 7-1. 内部晶体振荡电路等效电容值 **C1 & C2** 的参考电容

等效电容	电容值
C_{XOUT}	1.6pF (0.9~2.2pF)
C_{XIN}	2.0pF (1.8~2.2pF)

The XTAL Load Capacitance $CL = C_{11} // C_{22} + C_p$

$$C_{11} = C_1 + C_{XOUT}$$

$$C_{22} = C_2 + C_{XIN}$$

C_p : 电路板走线路径上产生的分布 / 杂散电容

$$= 1.18 \text{ pF/in}, 2 \text{ 层 FR4 电路板 (走线宽度=12mil, 电路板高度= 1.6mm)}$$

$$= 3.16 \text{ pF/in}, 4 \text{ 层 FR4 电路板 (走线宽度=10mil, 电路板 Subtract 高度=6mil)}$$

下表列出了不同晶振频率应用的建议 **C1 & C2** 值。请参照 Xtal 制造规范中电容器负载值为 **C1 & C2** 匹配电容器。

表 7-2. 晶体振荡电路 **C1 & C2** 的参考电容

晶振 CL 值	C1, C2 电容值
12.5pF	19pF (16~22pF)
20pF	34pF (31~37pF)
32pF	58pF (55~61pF)

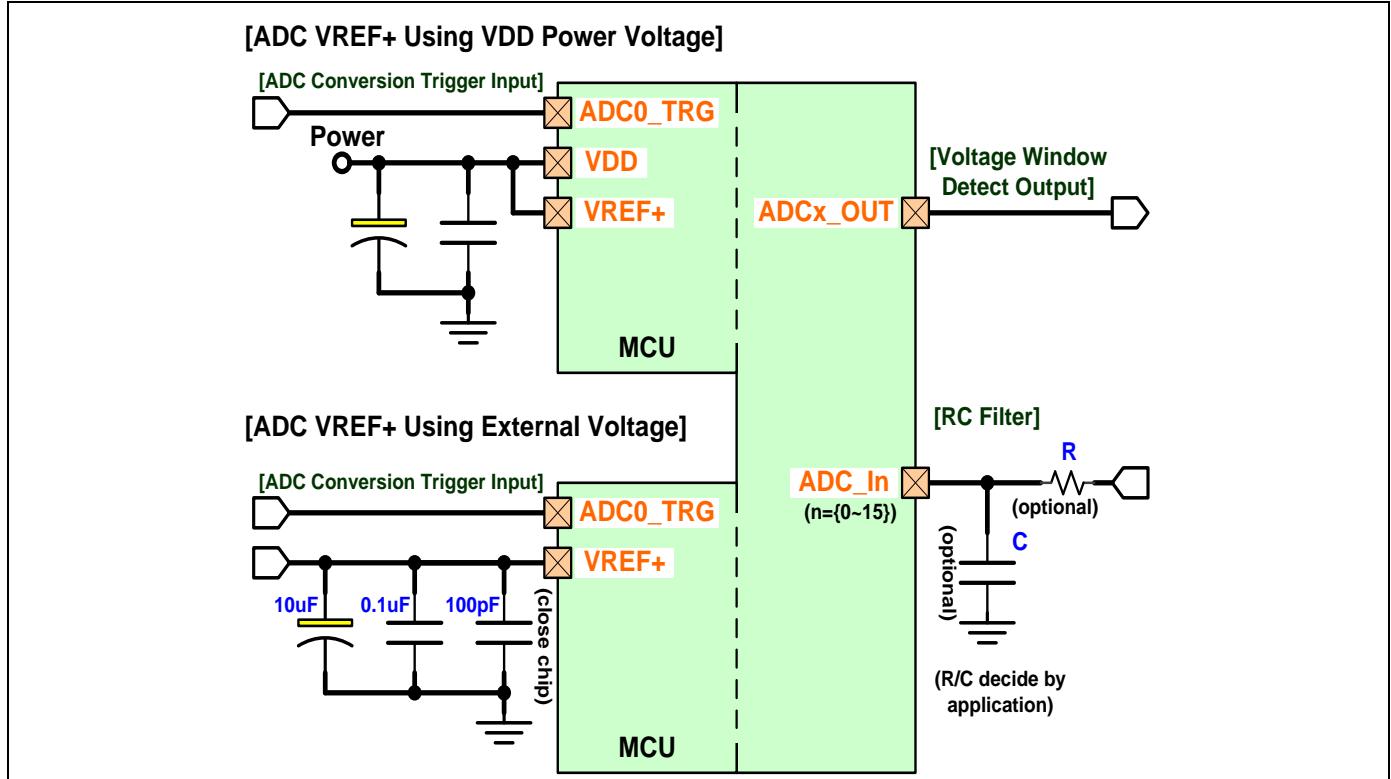
7.4. ADC 应用电路

ADC 参考电压源可来自 (1) 通过直接连接 **+VREF** 引脚到 **VDD** 引脚的 VDD 电源 (2) 外部静压参考电压源。

当使用 VDD 电源作为 ADC 的参考电压时, 它必须将 **+VREF** 引脚连接到电源电容器滤波后的连接点。当使用外部参考电压源作为 ADC 参考电压时, 它必须添加一些去耦和旁路电容器, 如下图所示。

可选的 **ADCx_TRG** 引脚能够输入用于 ADC 输入转换的触发信号, 并有另一个可选的 **ADCx_OUT** 引脚用于输出内部 ADC 窗口检测状态。

图 7-4. ADC 应用电路



8. 电气特性

8.1. 参数汇总表

表 8-1. 参数汇总表

标号	定义	描述
电气特性缩写		
Min	最小值	除非另有说明，该值是通过在恶劣环境温度、供电的条件下，进行参考样品的测试平均值
Max	最大值	除非另有说明，该值是通过在恶劣环境温度、供电的条件下，进行参考样品的测试平均值
Typ	典型值	除非另有说明，该值是基于 TA=25 °C, VDD=5V
VDD	电源电压	该电压范围在特性表或条件栏中指定。
VSS	电源参考电压	除非另有说明，所有的电压都是相对于 VSS 的
TA	环境温度	温度范围在特性表或条件栏中指定。
T_{PC}	外围时钟周期	外围输入时钟源可以选择 APB、SYS 或其他时钟。该时钟频率需要低于模块处理时钟频率的 1/2。

8.2. 最大绝对额定值

表 8-2. 最大绝对额定值

参数	范围	单位
环境温度	-40 ~ +105	°C
存储温度	-65 ~ +150	°C
任意 I/O 端口引脚或 RST 对地电压	-0.5 ~ VDD + 0.5	Volt
VDD 对地电压	-0.5 ~ +6.0	Volt
VDD 到地的最大电流	200	mA
任意引脚最大灌电流	40	mA

注意：实际参数高于“绝对最大额定值”可能对设备造成永久性损坏。这些参数是一个设备进行正常功能操作的应力额定值，任何超过上述各项的条件都不被建议，否则可能影响设备运行的稳定性。

8.3. 直流特性

表 8-3. 直流特性

VDD=5.0V±10%, VSS=0V, TA = 25 °C 且 CPU 执行 NOP(除非额外说明)

标号	参数	环境	极限			单位
			最小	典型	最大	
输入/输出特性						
V_{IH}	输入高电平	除 RSTN,XIN/XOUT 引脚外	0.6			VDD
V_{IH_XOSC}	输入高电平 (XIN)	XIN 引脚 GPIO 模式	0.75			VDD
V_{IH_RST}	输入高电平 (RSTN)	RSTN 引脚复位模式	0.75			VDD
V_{IL}	输入低电平	除 RSTN,XIN/XOUT 引脚外			0.15	VDD
V_{IL_XOSC}	输入低电平(XIN)	XIN 引脚 GPIO 模式			0.2	VDD
V_{IL_RST}	输入低电平(RSTN)	RSTN 引脚复位模式			0.2	VDD
I_{IH}	输入高漏电流	V _{PIN} = VDD		0	0.1	uA
I_{IL1}	逻辑 0 输入电流（准双向模式或片内上拉电阻的输入端口）			0	0.001	uA
I_{IL2}	逻辑 0 输入电流（所有仅输入或开漏输出			0	0.001	uA

	口)					
I _{H2L}	逻辑 1 到 0 输入转变电流 (准双向模式或片内上拉电阻的输入端口)	V _{PIN} = 1.8V		320	500	uA
I _{OH1}	输出大电流(推挽输出 & 满位级别)	V _{PIN} = 2.4V		32.1		mA
I _{OH2}	输出大电流(推挽输出 & 1/2 级别)	V _{PIN} = 2.4V		16.5		mA
I _{OH3}	输出大电流(推挽输出 & 1/4 级别)	V _{PIN} = 2.4V		8.5		mA
I _{OH4}	输出大电流(推挽输出 & 1/8 级别)	V _{PIN} = 2.4V		4.4		mA
I _{OL1}	输出弱电流(满位级别)	V _{PIN} = 0.4V		23.7		mA
I _{OL2}	输出弱电流(1/2 级别)	V _{PIN} = 0.4V		12.3		mA
I _{OL3}	输出弱电流(1/4 级别)	V _{PIN} = 0.4V		6.3		mA
I _{OL4}	输出弱电流(1/8 级别)	V _{PIN} = 0.4V		3.2		mA
R _{PU}	IO 引脚上拉电阻	除 RSTN 外		12.5		Kohm
R _{RST}	内部复位上拉电阻			250		Kohm
TR1	IO 上拉时间 (一般模式 且 IO 输出驱动力为满位级别)	除 RSTN,XIN/XOUT 外 电容负载 30pF		11.7		ns
TR2	IO 上拉时间 (一般模式 且 IO 输出驱动力为 1/4 级别)	除 RSTN,XIN/XOUT 外 电容负载 30pF		34.6		ns
TR3	IO 上拉时间 (高速模式 且 IO 输出驱动力为满位级别)	除 RSTN,XIN/XOUT 外 电容负载 30pF		7.1		ns
TR4	IO 上拉时间 (高速模式 且 IO 输出驱动力为 1/4 级别)	除 RSTN,XIN/XOUT 外 电容负载 30pF		33.3		ns
TR5	IO 上拉时间(XOUT)	电容负载 30pF		9.5		ns
TR6	IO 上拉时间(XIN)	电容负载 30pF		7.4		ns
TR7	IO 上拉时间(RSTIN)	电容负载 30pF		11.1		ns
TF1	IO 下拉时间(一般模式 且 IO 输出驱动力为满位级别)	除 RSTN,XIN/XOUT 外 电容负载 30pF		10.6		ns
TF2	IO 下拉时间(一般模式 且 IO 输出驱动力为 1/4 级别)	除 RSTN,XIN/XOUT 外 电容负载 30pF		15.7		ns
TF3	IO 下拉时间(高速模式 且 IO 输出驱动力为满位级别)	除 RSTN,XIN/XOUT 外 电容负载 30pF		4.1		ns
TF4	IO 下拉时间(高速模式 且 IO 输出驱动力为 1/4 级别)	除 RSTN,XIN/XOUT 外 电容负载 30pF		11.6		ns
TF5	IO 下拉时间(XOUT)	电容负载 30pF		12.7		ns
TF6	IO 下拉时间(XIN)	电容负载 30pF		3.1		ns
TF7	IO 下拉时间(RSTIN)	电容负载 30pF		9.7		ns
	功耗					
I _{OP1}	ON (一般) 模式工作电流	TL1 (APB=AHB=32KHz) dhystone		0.88		mA
I _{OP2}		TL2 (APB=AHB=12MHz) dhystone		3.7		mA
I _{OP3}		TL3 (APB=AHB=24MHz) dhystone + IP		11.4		mA
I _{OP6}		TL6 (APB=AHB=48MHz) dhystone + all IP		15.4		mA
I _{SLP0}	SLEEP 模式工作电流 (IWDT 使能)	SL0 (ILRCO on: IWDT Disable, APB=AHB=32KHz)		46.6		uA
I _{SLP1}		SL1 (ILRCO on: APB=6MHz,AHB=3MHz)		842		uA
I _{SLP2}		SL2 (ILRCO on: APB=AHB=12MHz)		1156		uA
I _{STP0}	STOP 模式工作电流 (LVR/BOD0/BOD1 禁用)	ST0 (ILRCO off)		5.5		uA
I _{STP1}		ST1 (IWDT 使能, ILRCO=32KHz)		7		uA
I _{STP2}		ST2 (RTC 使能, ILRCO=32KHz)		6.9		uA

唤醒时间							
t_{WK_SLP0}	从 SLEEP 模式中唤醒	IHRCO/ILRCO Enable, 从 RTC 事件唤醒 (APB Clock= IHRCO clock)		5	6	T _{Pc}	
t_{WK_STP0}	从 STOP 模式中唤醒	ILRCO Enable, 从 RTC 事件唤醒	20			us	
BOD 特性							
V_{LVR}	LVR 检测电平(VR0)	TA = -40°C to +105°C	1.45	1.57	1.65	Volt	
V_{BOD0}	BOD0 检测电平(VR0)	TA = -40°C to +105°C	1.6	1.65	1.7	Volt	
I_{BOD0+LVR}	BOD0 和 LVR 功耗	TA = 25°C			5		
V_{BOD10}	BOD1 检测 2.0V	TA = -40°C to +105°C	1.8(*1)	2.0	2.2(*1)	Volt	
V_{BOD11}	BOD1 检测 2.4V	TA = -40°C to +105°C	2.22(*1)	2.4	2.62(*1)	Volt	
V_{BOD12}	BOD1 检测 3.7V	TA = -40°C to +105°C	3.50(*1)	3.7	3.90(*1)	Volt	
V_{BOD13}	BOD1 检测 4.2V	TA = -40°C to +105°C	3.89(*1)	4.2	4.59(*1)	Volt	
I_{BOD1}	BOD1 功耗	TA = 25°C	4.5		8.3	uA	
工作环境							
V_{PSR}	上电边沿速率	TA = -40°C to +105°C	0.05			V/ms	
V_{OPI}	CPU 工作速度 0~48MHz	TA = -40°C to +105°C	2.7		5.5	Volt	
V_{OP2}	CPU 工作速度 0~12MHz	TA = -40°C to +105°C	1.8		5.5	Volt	

(*1) 数据基于特性所得，非产品测试

T_{Pc}: APB 时钟周期时间, IP: 内部的周边模组, all IP: 全部测试模组

TL3 ~ TL6: 测量电流时包含 IO 切换

表 8-4. 电流测量条件定义表

Chip Power State	ON Mode				SLEEP Mode				STOP Mode			
	Test Level	TL1	TL2	TL3	TL6	SL0	SL1	SL2	ST0	ST1	ST2	
Symbol	I _{OP1}	I _{OP2}	I _{OP3}	I _{OP6}	I _{SLP0}	I _{SLP1}	I _{SLP2}	I _{stp0}	I _{stp1}	I _{stp2}		
CPU State	Normal				Sleep				Deep Sleep			
CPU Code (*1)	dhrystone	dhrystone	dhrystone+ normal code	dhrystone+ heavy code	-	-	-	-	-	-	-	
APB Clock	32KHz ILRCO	12MHz IHRCO	24MHz PLL/4	48MHz PLL/2	32KHz ILRCO	6MHz IHRCO/2	12MHz IHRCO	-	32KHz ILRCO	32KHz ILRCO		
AHB/CPU Clock	32KHz APB	12MHz APB	24MHz APB	48MHz APB	32KHz APB	3MHz APB/2	12MHz APB	-	32KHz APB	32KHz APB		
ILRCO (32KHz)	V	V	V	V	V	V	V		V	V		
IHRCO (12MHz)		V	V	V		V	V					
XTAL (12MHz)												
PLL			V	V								
LDO (*2)	Normal				Normal				Low Power			
LVR	V	V	V	V	V	V	V					
BOD0	V	V	V	V	V	V	V					
BOD1			V	V								
ADC0			CK_APB	CK_APB								
CMP			CK_APB	CK_APB		CK_APB	CK_APB					
RTC			CK_UT	CK_UT							CK_UT	
IWDT	CK_ILRCO	CK_ILRCO	CK_ILRCO	CK_ILRCO		CK_ILRCO	CK_ILRCO		CK_ILRCO			
WWDT			CK_APB	CK_APB								
TM00	CK_APB	CK_APB	CK_APB	CK_APB		CK_APB	CK_APB					
TM01				CK_APB								
TM10			CK_APB	CK_APB								
TM16				CK_APB								
TM36			CK_APB	CK_APB								
I2C0			CK_APB	CK_APB								
URTO			CK_APB	CK_APB								
URT1				CK_APB								
SPI0				CK_APB								
IO Pins	all Push-Pull Low		IO Toggle		all Push-Pull Low				all Push-Pull Low			

Note: (*1)	[CPU Code]
	dhystone: 处理器运行 "Dhrystone" 基准测试码。
	normal code: 依照表格设定 CK_APB 和 CK_AHB 的频率。模组时钟分频器是 /4, /8 或其他。
	heavy code: 1. 依照表格设定 CK_APB 和 CK_AHB 的频率。模组时钟设定最高的频率。(模组时钟分频器 =/2) 2. 让模组操作尽可能忙碌而且将缓冲器填满数据。(EX: 传输一次 4 个位元组)
(*)	Normal: PW_LDO_ON=0, Low Power: PW_LDO_STP=1
(*)	Normal: PW_WKSLP_MDS=0, Low Power: PW_WKSLP_MDS=1

8.4. 外部时钟特性

表 8-5. 外部时钟特性

VDD=2.7V ~ 5.5V, VSS=0V, TA = -40°C ~ +105°C (除非额外说明)

标号	参数	环境	晶振模式		外部时钟		单位
			最小	最大	最小	最大	
fxosc	振荡器频率	VDD = 2.7V ~ 5.5V	4	25	0	36	MHz
		VDD = 2.0V ~ 5.5V	4	25	0	12	MHz
txosc	时钟周期		40		27.7		ns
t _H _xosc	高电平时间		0.4T	0.6T	0.4T	0.6T	txosc
t _L _xosc	低电平时间		0.4T	0.6T	0.4T	0.6T	txosc
t _r _xosc	上升时间			20		7	ns
t _f _xosc	下降时间			20		7	ns

8.5. PLL 特性

表 8-6. PLL 特性

参数	环境	极限			单位
		最小	典型	最大	
电源电压		1.8	5.0	5.5	Volt
输入时钟频率	TA = -40°C to +105°C	5 (*1)		7 (*1)	MHz
PLL 锁定时间	TA = -40°C to +105°C		4 (*2)		us
PLL 功耗	TA = +25°C, VDD=5.0V		0.45		mA
PLL 周期性(Period)抖动(峰对峰)	TA = -40°C to +105°C		500	1000	pS

(*1) 数据基于设计所得, 非产品测试

(*2) 数据基于特性所得, 非产品测试

8.6. IHRCO 特性

表 8-7. IHRCO 特性

参数	环境	极限			单位
		最小	典型	最大	
电源电压		1.8	5.0	5.5	Volt
IHRCO0 频率	TA = +25°C		12		MHz
IHRCO1 频率	TA = +25°C		11.0592		MHz
IHRCO0 频率误差 (工厂校准)	TA = +25°C	-1.0		+1.0	%
	TA = -40°C to +105°C	-2.0(*1)		+2.0(*1)	%
IHRCO1 频率误差 (工厂校准)	TA = +25°C	-1.0		+1.0	%
	TA = -40°C to +105°C	-2.0(*1)		+2.0(*1)	%
IHRCO 启动时间	TA = 25°C			6(*1)	us

MG32F02A032

IHRCO 功耗	TA = +25°C, VDD=5.0V	0.35	mA
----------	----------------------	------	----

(*) 数据基于特性所得，非产品测试

8.7. ILRCO 特性

表 8-8. ILRCO 特性

参数	环境	极限			单位
		最小	典型	最大	
电源电压		1.8	5.0	5.5	Volt
ILRCO 频率	TA = +25°C		32		KHz
ILRCO 频率误差 (工厂校准)	TA = +25°C, VDD=5.0V	-8		+8	%
	TA = -40°C to +105°C	-15(*1)		+15(*1)	%
ILRCO 功耗	TA = +25°C, VDD=5.0V			5	uA

(1) 数据基于特性所得，非产品测试

8.8. LDO 特性

表 8-9. LDO 特性

VDD=5.0V±10%, VSS=0V, TA = -40°C ~ +105 °C

标号	参数	环境	极限			单位
			最小	典型	最大	
供电范围						
VDD	电源电压	Normal 模式	2.6	—	5.5	V
概述						
VR0	LDO 输出电压 (VR0 引脚)	ON(一般) 模式		1.83		Volt
		Low power 模式(VDD=2.6V~5.5V)		1.75		Volt
IQ	电流	VDD=2.6V~5.5V, Temp.= 25°C		50		uA
		VDD=2.6V~5.5V		50(*1)		uA
VDROP	压差 (VDD-VDD18)	IOUT=50mA, VDD=2.6V~5.5V		700		mV
IOUT	最大输出电流	VDD=5.0V	50			mA
		VDD=3.6V	50			mA
		VDD=2.6V	40			mA

(1) 数据基于特性所得，非产品测试

8.9. Flash 特性

表 8-10. Flash 特性

VDD=5.0V±10%, VSS=0V, TA = -40°C ~ +105 °C

参数	环境	极限			单位
		最小	典型	最大	
电源电压		2.0		5.5	Volt
Flash 写入 (擦除/编程) 电压		2.2		5.5	Volt
Flash 擦除/编程周期		10000			次
Flash 数据保留	TA = +25°C	100			年

8.10. ADC 特性

表 8-11. ADC 特性

VDDA=VDD=5.0V±10%, VSS=0V, TA = 25 °C, CLOAD=10pF, Gain=x1 (除非额外说明)

标号	参数	环境	极限			单位
			最小	典型	最大	
电源范围						
VDDA	模拟电源电压		2.7	5.0	5.5	Volt
IADC_ON	工作电流 – 一般			2.2		mA
IADC_OFF	工作电流 – 掉电			0.1		uA
ADC 静态参数						
Bits	分辨率				12	bits
INL	积分非线性(INL)	VREF = 5V, VDD = 5V, 800Ksps 转换率 (采样时钟= 24 MHz)		±3		LSB
DNL	差分非线性(DNL)	VREF = 5V, VDD = 5V, 800Ksps 转换率 (采样时钟= 24 MHz)		1.5		LSB
Eoffset	偏移误差	VREF = 5V, VDD = 5V, 800Ksps 转换率 (采样时钟= 24 MHz)		-15		LSB
EFS	满量程误差	VREF = 5V, VDD = 5V, 800Ksps 转换率 (采样时钟= 24 MHz)		-15		LSB
ADC 输入和 DC 特性						
VAIN	ADC 输入电压范围(单端)	gain = 1.0	0		Vref	Volt
CLOAD	输入电容				8	pF
VXREF	外部 ADC 参考电压		2.7		VDDA	Volt
VBUF	内部 VBUF 参考电压	-40 °C < < 105 °C	1.38	1.4	1.42	Volt
	内部 VBUF 参考电压温飘范围	-40 °C < < 105 °C VBUF=1.402V at 25°C			15	mV
ADC 转换参数						
Fs	采样时钟				24	MHz
	转换速率	VDDA = 5.5 ~ 4.0 V			800	Ksps
		VDDA = 4.0 ~ 2.7 V			640	Ksps
	转换时钟内的转换时间 (不包含采集时间)			30		clocks
ADC Other Characters and Definitions						
TADEN	ADC 使能时间		5			uS

(*1) UGBW 将通过 GAIN 设置划分(ex: 当 PGA gain=4 时理想的 UGF 为 1MHz/4)

8.11. ADC PGA 特性

表 8-12. ADC PGA 特性

VDDA=VDD=5.0V±10%, VSS=0V, TA = 25 °C (除非额外说明)

标号	参数	环境	极限			单位
			最小	典型	最大	
电源电压范围						
VDDA	模拟电源电压		2.7	5.0	5.5	Volt
DC 特性						
VCM_IN	输入共模电压	VDDA>3.0V, Gain=x1, as a unit gain buffer	0.03		VDDA/2+0.5	V

		VDDA<3.0V,Gain=x1,as a unit gain buffer	0.03		VDDA/2	V
IQ	接地电流	VDDA=5.0V, VIN= VDDA/2; VOUT=VDDA/2, Gain=x1 (RFB=120KΩ current Not included when Gain=x1)		1050		uA
特性						
SR	压摆率(*1)	正常工作		3.5		V/us
UGF	PGA 带宽频率(*2)	正常工作		10		MHz

(*1) 数据基于设计所得，非产品测试

(*2) UGBW 将通过 GAIN 设置划分(ex: 当 PGA gain=4 时理想的 UGF 为 10MHz/4)

8.12. 模拟比较器特性

表 8-13. 模拟比较器特性

VDDA=VDD=5.0V±10%, VSS=0V, TA = 25 °C (除非额外说明)

标号	参数	环境	极限			单位
			最小	典型	最大	
电源电压范围						
VDDA	模拟电源电压	-40°C ~ +105°C	2.0	5.0	5.5	Volt
I_{CMP0}	工作电流- CMP0	高响应时间不带 IVREF (*1)		10		uA
		高响应时间 IVREF (*1)		210		uA
		低响应时间		1.2		uA
I_{CMP1}	工作电流- CMP1	高响应时间不带 IVREF (*1)		10		uA
		高响应时间带 IVREF (*1)		210		uA
		低响应时间		1.2		uA
模拟比较器核心						
V_{os}	输入偏移电压			20		mV
V_{CM}	Common 模式输入电压		50		VDD-50	mV
	比较器延迟	禁用延迟		0		mV
		高响应时间		10		mV
		低响应时间		10		mV
T_{RT}	响应时间	高响应时间(下降)		230		ns
		高响应时间(上升)		200		ns
		低响应时间(下降)		1.2		us
		低响应时间(上升)		1		us
t_{PWON}	上电时间 (从掉电模式)	高响应时间	0.5		1.5	us
		低响应时间		16.2		us
RU	电阻系数			309		ohm

(*1) IVREF : 内部参考电压电路

8.13. UART 特性

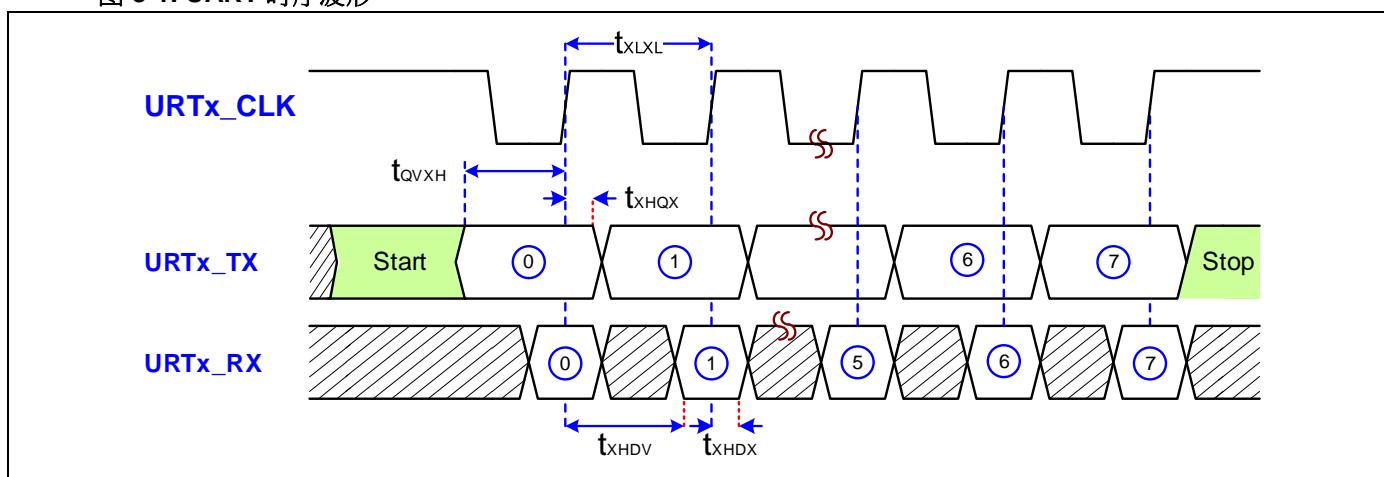
表 8-14. UART 特性

VDD=5.0V±10%, VSS=0V, TA = -40°C ~ +105°C (unless otherwise specified)

标号	参数	环境	极限			单位
			最小	典型	最大	
UART 模式						
f _{CK}	串行口时钟频率				6	MHz
t _{XLXL}	串行口时钟周期		4			T _{PC}
t _{QVXH}	设置输出数据到时钟上升沿		T _{PC} -20			ns
t _{XHQX}	时钟上升沿后数据保持		T _{PC} -10			ns
t _{XHDX}	时钟上升沿后输入数据保持		0			ns
t _{XHDV}	时钟上升沿到输入数据有效				T _{PC} -20	ns
SPI 主机模式 (同步模式)						
f _{MCK}	SPI 输出时钟频率	VDD=3.3V ~ 5.5V			16	MHz
		VDD=1.8V ~ 3.3V			12	MHz
t _{MCKH}	SPI 时钟高电平时间		3			T _{PC}
t _{MCKL}	SPI 时钟低电平时间		3			T _{PC}

T_{PC}: APB 时钟或 SYS 时钟周期时间

图 8-1. UART 时序波形



8.14. SPI 特性

表 8-15. SPI 特性

VDD=5.0V±10%, VSS=0V, TA = -40°C ~ +105°C (unless otherwise specified)

标号	参数	环境	极限			单位
			最小	典型	最大	
主机模式						
f_{MCK}	SPI 时钟频率	VDD=3.3V ~ 5.5V			24	MHz
	SPI 时钟高时间	VDD=1.8V ~ 3.3V			16	MHz
t_{MCKH}	SPI 时钟低时间		2			T _{PC}
t_{MCKL}	DIN 有效到 SPI 时钟转变边沿		2			T _{PC}
t_{MIS}	SPI 时钟转变边沿到 DOUT 变化			2T_{PC}+20		ns
t_{MIH}	SPI 时钟转变边沿到 DOUT 变化		0			ns
t_{MOH}	SPI 时钟频率				10	ns
从机模式						
f_{SCK}	SPI 时钟频率	VDD=3.3V ~ 5.5V			16	MHz
		VDD=1.8V ~ 3.3V			12	MHz
t_{SE}	NSS 下降到第一个 SPI 时钟边沿		2			T _{PC}
t_{SD}	最后一个 SPI 时钟边沿到 NSS 上升沿		2			T _{PC}
t_{SEZ}	NSS 下降到 DOUT 有效				4	T _{PC}
t_{SDZ}	NSS 上升到 DOUT High-Z				4	T _{PC}
t_{CKH}	SPI 时钟高时间		3			T _{PC}
t_{CKL}	SPI 时钟低时间		3			T _{PC}
t_{SIS}	DIN 有效到 SPI 时钟采样边沿		2			T _{PC}
t_{SIH}	SPI 时钟采样边沿到 DIN 变化		2			T _{PC}
t_{SOH}	SPI 时钟转变边沿到 DOUT 变化				4	T _{PC}
t_{SLH}	最后一个 SPI 时钟边沿到 DOUT 变化 (仅 CPHA = 1)		1		2	T _{PC}

T_{PC}: APB 时钟或 SYS 时钟周期

D_{IN}: SPI 输入数据信号

D_{OUT}: SPI 输出数据信号

图 8-2. SPI 主机模式时序波形

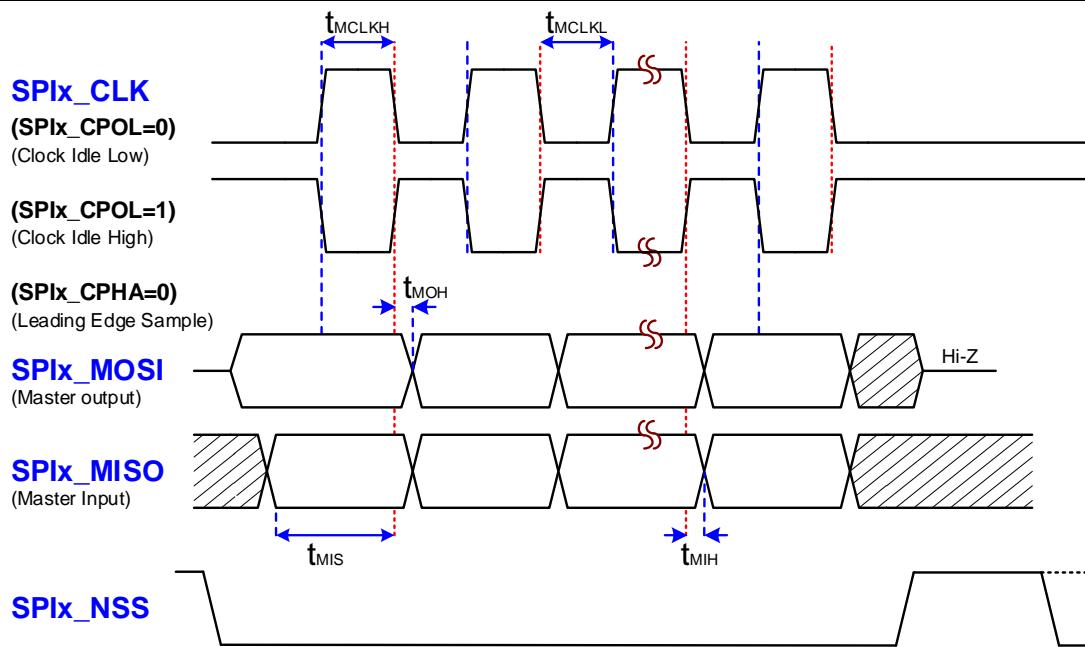
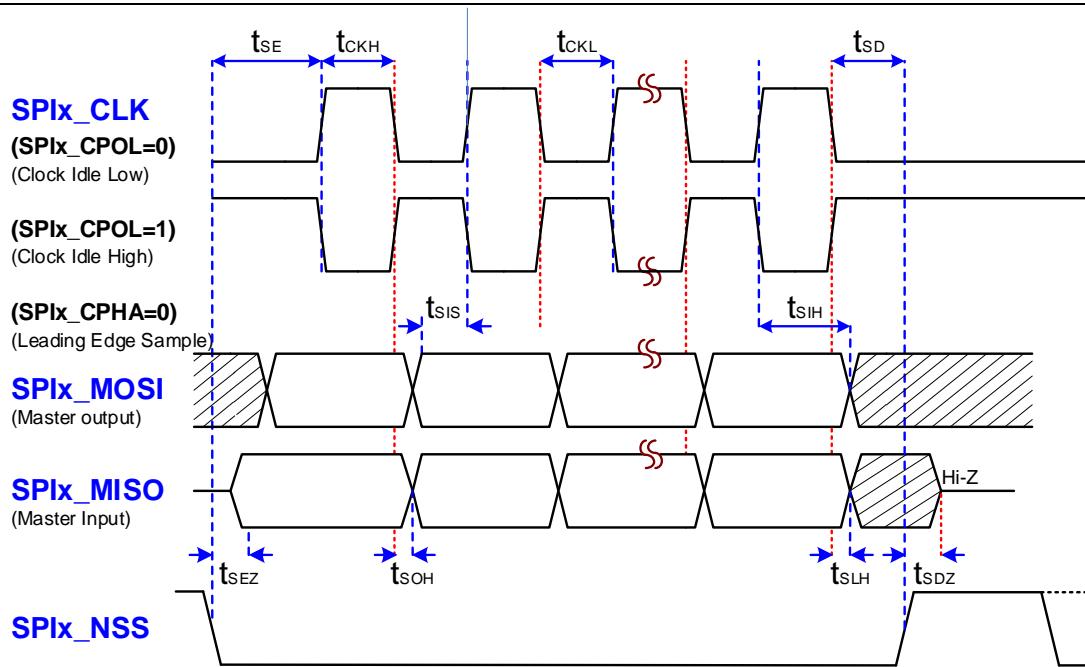


图 8-3. SPI 从机模式时序波形



8.15. I2C 特性

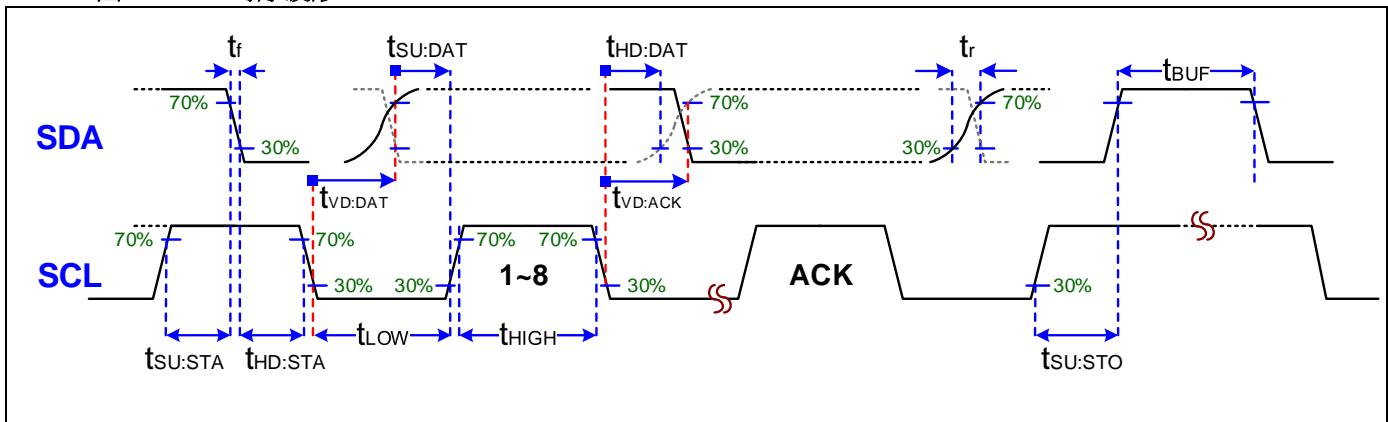
表 8-16. I2C 特性

VDD=5.0V±10%, VSS=0V, TA = -40°C ~ +105°C (除非额外说明)

标号	参数	环境	Standard 模式		Fast 模式		Fast 增强模式		单位
			最小	最大	最小	最大	最小	最大	
t_{SCL}	SCL 时钟频率		0	100	0	400	0	1000	KHz
t_{LOW}	SCL 时钟的低电平周期		4.7		1.3		0.5		us
t_{LOW_M}	SCL 时钟的低电平周期(主机模式)		2		2		2		T _{PC}
t_{LOW_S}	SCL 时钟的低电平周期(从机模式)		4		4		4		T _{PC}
t_{HIGH}	SCL 时钟的高电平周期		4.0		0.6		0.26		us
t_{HIGH_M}	SCL 时钟的高电平周期(主机模式)		3		3		3		T _{PC}
t_{HIGH_S}	SCL 时钟的高电平周期(从机模式)		5		5		5		T _{PC}
$t_{HD:STA}$	START 状态保持时间		4.0		0.6		0.26		us
$t_{SU:STA}$	START 状态设置时间		4.7		0.6		0.26		us
$t_{HD:DAT}$	数据保持时间		0		0		0		us
$t_{SU:DAT}$	数据设置时间		250		100		50		ns
$t_{SU:STO}$	STOP 状态设置时间		4.0		0.6		0.26		us
t_{BUF}	START 与 STOP 之间的总线空闲时间		4.7		1.3		0.5		us
$t_{VD:DAT}$	数据有效时间			3.45		0.9		0.45	us
$t_{VD:ACK}$	数据有效应答时间			3.45		0.9		0.45	us
t_r	SDA 和 SCL 信号的上升时间			1000		300		120	ns
t_f	SDA 和 SCL 信号的下降时间			300	20x (VDD/5.5V)	300	20x (VDD/5.5V)	120	ns
C_i	每个 IO 引脚的电容负载			10		10		10	pF

T_{PC}: APB 时钟或 SYS 时钟周期

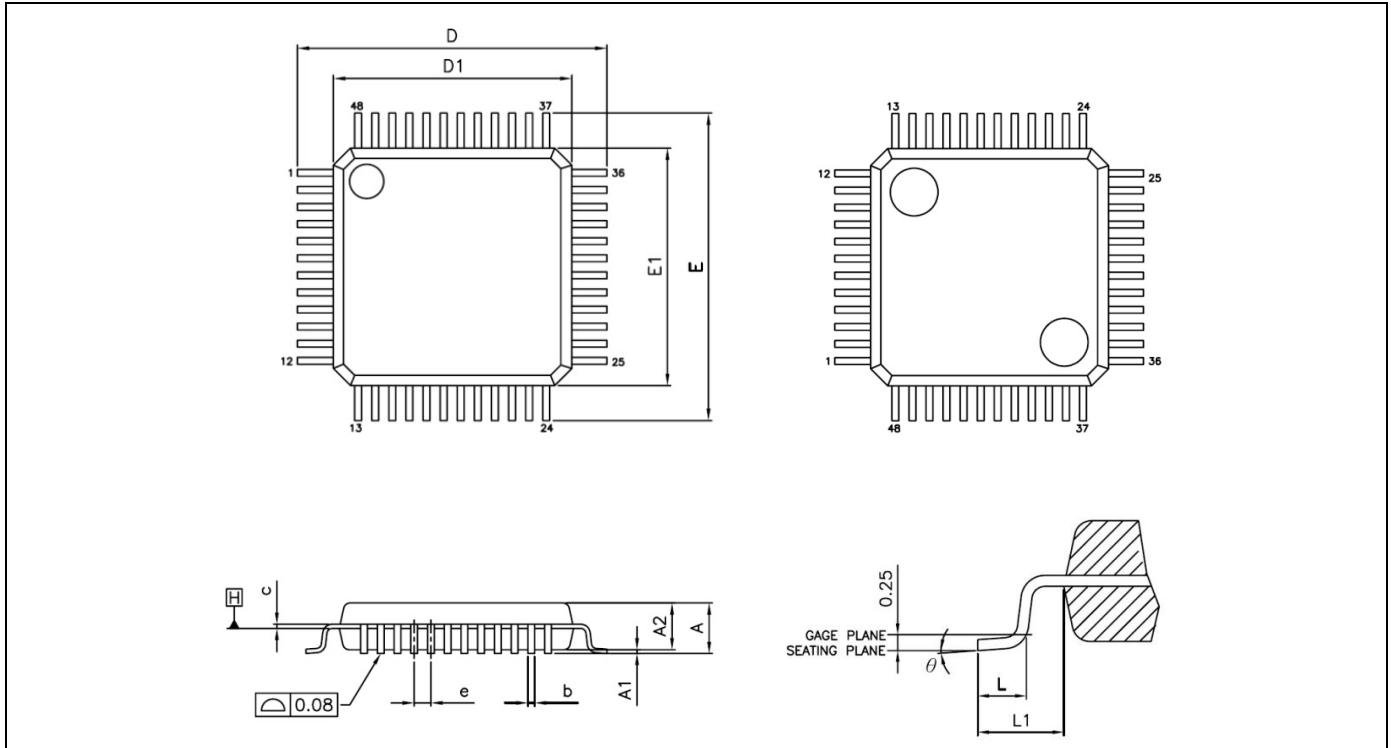
图 8-4. I2C 时序波形



9. 封装尺寸

9.1. LQFP-48

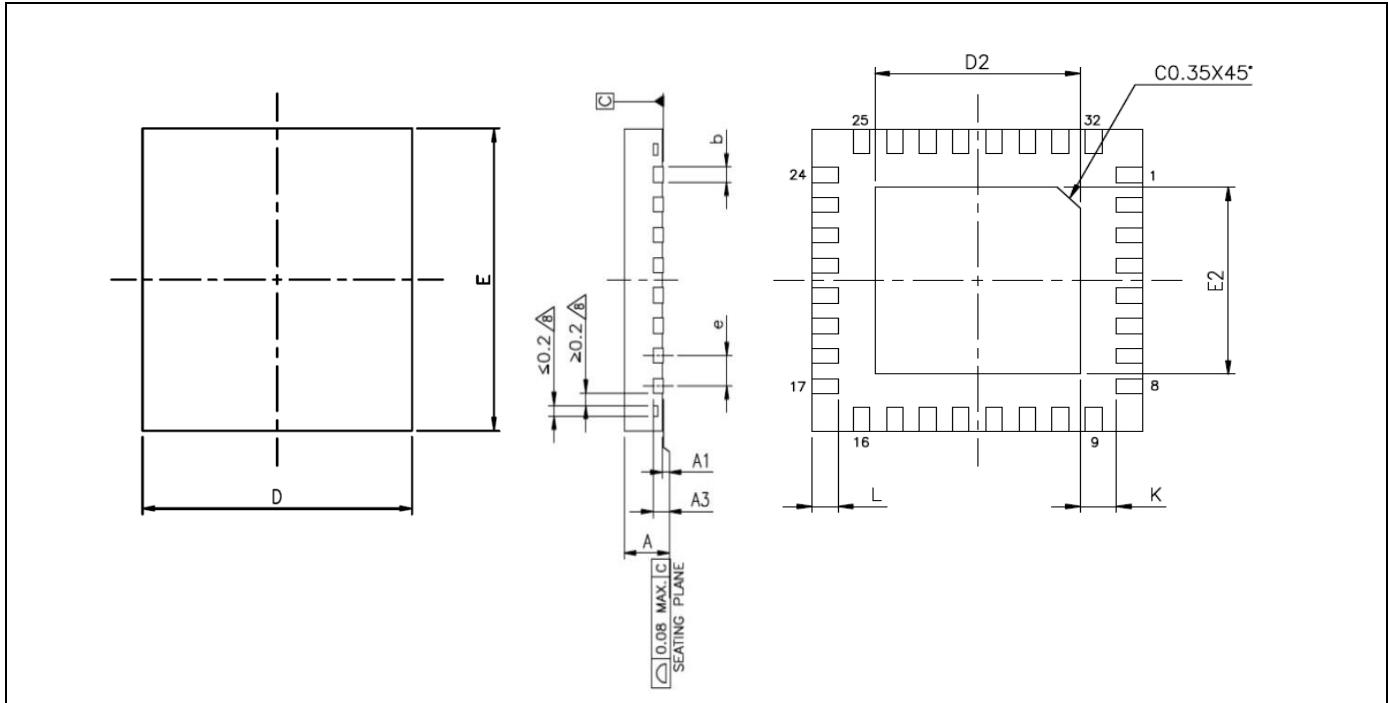
图 9-1. LQFP-48 (7mm X 7mm) ~ AD32



单位	毫米(mm)			英寸(inch)		
标号	最小	典型	最大	最小	典型	最大
A	---	---	1.60	---	---	0.062
A1	0.05	---	0.15	0.001	---	0.005
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.22	0.27	0.006	0.008	0.010
c	0.09	---	0.20	0.003	---	0.007
D	9.00 BSC			0.354 BSC		
D1	7.00 BSC			0.275 BSC		
E	9.00 BSC			0.354 BSC		
E1	7.00 BSC			0.275 BSC		
e	0.50 BSC			0.019 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	1.00 REF			0.039 REF		
θ	0°	3.5°	7°	0°	3.5°	7°

9.2. QFN-32

图 9-2. QFN-32 (5mm X 5mm) ~ AY32

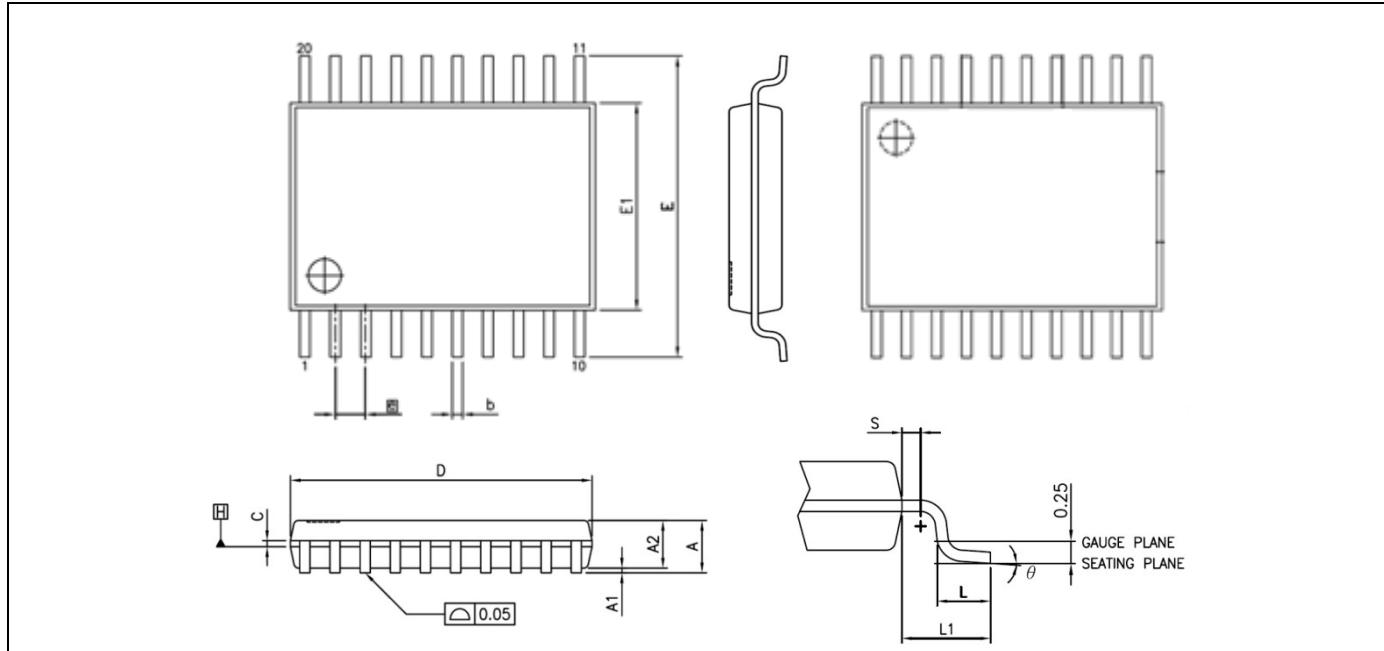


单位	毫米(mm)			英寸(inch)		
	最小	典型	标号	最小	典型	标号
A	0.70	0.75	0.80	0.027	0.029	0.031
A1	0.00	0.02	0.05	0.000	0.000	0.001
A3	0.203 REF.			0.007 REF.		
b	0.18	0.25	0.30	0.007	0.009	0.011
D	5.00 BSC			0.196 BSC		
E	5.00 BSC			0.196 BSC		
e	0.50 BSC			0.019 BSC		
L	0.35	0.40	0.45	0.013	0.015	0.017
K	0.20	----	----	0.007	----	----

焊盘尺寸	E2			D2			引线精加工		JEDEC 码
	最小	典型	最大	最小	典型	最大	纯锡	PPF	
114x114MIL	2.60	2.70	2.75	2.60	2.70	2.75	X	V	W(V)HHD-2
134x134MIL	3.10	3.20	3.25	3.10	3.20	3.25	V	V	W(V)HHD-2
153x153MIL	3.15	3.25	3.30	3.15	3.25	3.30	V	V	W(V)HHD-5

9.3. TSSOP-20

图 9-3. TSSOP-20 (6.5 x 4.4 x1.0 mm) ~ AT20



单位	毫米(mm)			英寸(inch)		
	最小	典型	最大	最小	典型	最大
A	----	----	1.20	----	----	0.047
A1	0.05	----	0.15	0.001	----	0.005
A2	0.80	0.90	1.05	0.031	0.035	0.041
b	0.19	----	0.30	0.007	----	0.011
C	0.09	----	0.20	0.003	----	0.007
D	6.40	6.50	6.60	0.251	0.255	0.259
E1	4.30	4.40	4.50	0.169	0.173	0.177
E	6.40 BSC			0.251 BSC		
e	0.65 BSC			0.026 BSC		
L1	1.00 REF			0.039 REF		
L	0.50	0.60	0.75	0.019	0.023	0.029
S	0.20	----	----	0.007	----	----
θ	0°	----	8°	0°	----	8°

10. 版本历史

修订版 V1.70 (2022_0621)		章节
1	变更“表 4-6. 引脚功能复用选择表”中的“AFS=8”为“AFS=10”	4.3
2	在“8.13.UART 特性”章节中，增加图“图 8-1. UART 时序波形”和在“表 8-14. UART 特性”中增加“标号”栏。	8.13
3	在“8.14.SPI 特性”章节中，增加图“图 8-2. SPI 主机模式时序波”和“图 8-3. SPI 从机模式时序波”，并在“表 8-15. UART 特性”中增加“标号”栏。	8.14
4	在“8.15.I2C 特性”章节中，增加图“图 8-4. I2C 时序波形”。	8.15
修订版 V1.60 (2022_0224)		章节
1	更新特性章节中“SPI”的描述	
2	更新“表 8-5. IO 特性”中的“TR1~TR7”和“TF1~TF7”参数	8.3
3	增加“表 8-4. 电流测量条件定义表”	8.3
修订版 V1.52 (2021_1215)		章节
1	更新“芯片型号列表”中的 LQFP48 及 QFN32 封装尺寸	2
2	变更“表 8-6. PLL 特性”中的“峰对峰抖动”为“周期性(Period)抖动(峰对峰)”	8.6
3	在封装尺寸章节为每种封装更新封装尺寸图表	9
修订版 V1.50 (2021_0603)		章节
1	更新“表 8-3. 直流特性”中‘功耗’的环境描述	8.3
2	增加“表 8-3. 直流特性”中的 I_{SLP0} 参数	8.3
3	更新“表 8-10. ADC 特性”中“内部 VBUF 参考电压”参数	8.10
修订版 V1.40 (2021_0322)		章节
1	更新特性章节中“时钟”及“定时器”的描述	
2	移除“引脚定义”章节中的“差分”功能	4.2
3	更新在应用注意事项“7.2. 复位电路”章节中的描述	7.2
4	更新在应用注意事项“7.3. Xtal 晶振电路”章节中的图表	7.3
5	更新“表 8-3. 直流特性”中‘输入高电平’及‘输入低电平’的特性	8.3
6	增加“表 8-3. 直流特性”中‘唤醒时间’的特性	8.3
7	合并“表 8-4. 外部复位引脚特性”到“表 8-3. 直流特性”中	8.3
修订版 V1.33 (2021_0108)		章节
1	更新“表 8-3. 直流特性”中‘BOD 特性’的标号	8.3
2	在“表 8-12. ADC PGA 特性”中，增加‘输入共模电压’及‘压摆率’参数	8.12
修订版 V1.32 (2020_1214)		章节
1	更新“表 8-6. PLL 特性”中‘PLL 峰对峰抖动’参数的环境描述	8.6
2	在封装尺寸章节中，增加各个封装的“英寸 inch”信息	9

修订版 V1.31 (2020_0928)		章节
1	在特性章节中，增加 "Misc." 及更新 "工作环境" 的描述	
2	更新“表 8-3. 直流特性”中的 Iop1 参数	8.3
修订版 V1.30 (2020_0323)		章节
1	在“4.1. 引脚指南”章节中，增加各个封装的“引脚功能复用表”	4.1
2	增加“模拟功能引脚表”及“功能复用引脚对应表”章节	4.4, 4.5
3	更新“表 8-3. 直流特性”中的 Iol3 参数	8.3
4	更新“表 8-3. 直流特性”中的 TR2~5 及 TF1~6 参数	8.3
修订版 V1.21 (2019_1115)		章节
1	更正图“图 3.1. 系统功能框图”中的文字“SPI (Slave)”为“SPI (Master) ”	3.1
2	更新“表 8-8. ILRCO 特性”中的 ILRCO 频率误差	8.8
修订版 V1.20 (2019_1106)		章节
1	在“表 5.1. CPU 内存地址映射”中的 SRAM 大小修改为 4KB 及把 AP/IAP/ISP 闪存大小修改为 32KB	5.2
2	更新“表 8-11. ADC 特性”中的偏移误差数值和满量程误差数值	8.11
3	更新“表 8-13. 模拟比较器特性”中的比较器延迟数值	8.13
修订版 V1.10 (2019_0712)		章节
1	修改在特性章中的 ADC 转换率从 1Msps 修改为 800Ksps	
2	更新“表 2-1. 芯片选择表”	2
3	移除 6.12 ADC 章节中的“Auto-Off”功能	6.12.3
4	在 SPI 模块中去除“八线制双向数据传输 SPI”功能	6.20.2
5	在“表 8-14. UART 特性”增加 UART 同步模式（SPI 主机模式）时序特性。	8.14
修订版 V1.00 (2019_0614)		章节
1	发布版本	
2	更新电气属性章节的参数值	8
修订版 V0.10 (2019_0403)		章节
1	初始版本	

11. 免责声明

在此，笙泉（Megawin）代表“*Megawin Technology Co., Ltd.*”

生命支援—此产品并不是为医疗、救生或维持生命而设计的，并且当设备系统出现故障时，并不能合理地预示是否会对人身造成伤害，因此，当客户使用或出售用于上述应用的产品时，需要客户自己承担这样做的风险，笙泉公司并不会对不当地使用或出售我公司的产品而造成的任何损害进行赔偿。

更改权—笙泉保留产品的如下更改权，其中包括电路、标准单元、与/或软件—为提高设计与/或性能的描述或内容。当产品在大批量生产时，有关变动将通过工程变更通知(ECN)进行通知。